

武汉理工大学

硕士学位论文

短波接收机高精度本振信号源的设计与实现

姓名：曹新星

申请学位级别：硕士

专业：通信与信息系统

指导教师：陈永泰

20090501

摘 要

短波通信是指利用波长为 10-100m 的电磁波进行无线电通信的。无论是在无线电通信发明的早期，还是在现代通信技术飞速发展的今天，短波无线通信都作为一种极其重要的通信手段，并在不断的发展和完善中。本论文对短波接收机前端相关电路进行研究，并运用直接数字频率合成技术来设计短波接收机中的本振信号源。

频率合成器是现代电子系统的重要组成部分。随着现代通信技术的发展，系统对频率合成器提出了越来越高的要求，低相位噪声、高频谱纯度、高捷变速率和高频率分辨率的频率合成器已经成为频率合成技术发展的主要趋势。频率合成的关键性能是频率稳定度与相位抖动噪声。时钟源的相位抖动参数指标达不到要求，会得系统性能下降。经过对多种频率合成技术的研究比较，本课题采用 DDS 专用芯片的实现方案，获得了高频率稳定度、低相噪、低杂散的本振信号源，并给出了跟踪滤波器电路的设计。该方案不论是在技术上还是在一些具体模块电路的实现上都有一定的创新与独到之处。

本文首先回顾了接收机的发展历史，并对超外差和零中频接收机的特性进行了比较。介绍了频率合成的概念，分析了 DDS 的工作原理及其基本结构。其次说明了本振信号对接收机的影响，在此基础上对理想的 DDS 频谱特性和杂散特性进行了理论分析，其中对相位截断误差、幅度量化误差、由 DAC 转换误差产生的杂散和本振信号的频谱进行了着重分析。然后根据系统指标合理地采用了频率合成技术，以 AD9953 芯片为核心，设计了一种结构简单性能优良的本振信号发生器。同时为了得到精度高、频带宽的本振信号，设计出了一种跟踪滤波器来减少杂波，保证了输出信号的频谱纯度。论文中详细分析了本振信号源的系统结构、软硬件设计和具体电路实现。最后完成实验电路板的制作，电路的调试工作，对输出信号频谱进行了分析并给出硬件实物照片和测试结果，并对此作了一定的分析。

关键词：短波接收机；频率合成；杂散；跟踪滤波器；频谱

Abstract

Short-wave is used for wireless communication which the wavelength is from 10m-100m. Regardless of being in the early time of wireless communication invention, or in modern time of communication rapid development, Short-wave wireless communication is one extremely important mean of communication, and is being in unceasing development and consummation. The paper does the research on the connected circuit of the short-wave receiver front-end, and designs the local oscillator of the circuit in short-wave front-end using Direct Digital Synthesis Technology.

Frequency synthesizer is one of the most important parts used in modern electronic systems. With the development of modern communication techniques, frequency synthesizer is required to have higher performance such as wide band, fast frequency switching speed, low spurious level, pure output spectrum, high resolution, etc. The important performance of frequency synthesis is the stability of frequency and phase noise. The performance of system will decrease if the factors of clock source can not reach our ask demand. After comparing kinds of technique of frequency synthesizer, we choose the direct digital frequency synthesis chip to produce high-performance and functionally-integrated LO signal source with low phase noise and spurious, and gives the tracking filter circuit design. The scheme is innovative and original not only in the technology but also in some module circuit.

This paper first reviews the development history of receiver, compares with the characteristic of superheterodyne receiver and zero-IF receiver. introduces the concept of frequency synthesis, it has analyzed the principle and the basic structure of DDS. Secondly, description the impact of LO signal on Receiver, it also has carried on the theoretical analysis to the ideal DDS frequency spectrum characteristic and spurious suppression characteristic, the spurious original from phase truncation error, amplitude quantization error and DAC conversion error is analyzed, also an analysis is made on spectrum of LO signal. Then according to the target system, a signal generator with the brief structure and excellent performance is designed with adopting DDS technology, which is based on the AD company's DDS chip—AD9953.

In order to obtain high precision, the frequency bandwidth of LO signal, the design of a tracking filter to reduce the clutter and ensure the purity of the output signal spectrum. The system structure, the design of software and hardware and the way to realize the circuitry of the LO signal generator is analyzed in detail. At last, the corresponding PCB has been made and debugged, it has given the picture of the hardware circuit and the test result, and some analysis is made for it.

Key words: Short-wave Receiver; Frequency Synthesis; Spurious; Tracking Filter; Spectrum

独 创 性 声 明

本人声明，所呈交的论文是本人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得武汉理工大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已论文中作了明确的说明并表示了谢意。

签 名：曹新星 日 期：2009.6.5

关于论文使用授权的说明

本人完全了解武汉理工大学有关保留、使用学位论文的规定，即学校有权保留、送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存论文。

(保密的论文在解密后应遵守此规定)

签 名：曹新星 导师签名：陈永泰 日 期：2009.6.5

第1章 绪论

1.1 引言

信息传输是人类生活得重要部分^[1]。短波无线通信是指利用波长为10m-100m(频率为3-30MHz)的电磁波进行的无线电通信。短波无线通信可以利用地波或低电离层反射进行几十公里到几百公里的中近距离通信,一也可以利用中高电离层反射进行数千乃至上万公里的高距离通信,借助于中继站,短波无线通信甚至可以进行环球通信。因而短波无线通信多年来被广泛地用于政府、军事、气象、商业等部门,用来传送语言、文字、图像、数据等信息。尤其是在军事领域,它始终是军事指挥的重要手段之一。

短波无线通信的应用由来已久,随着通信技术、数字信号处理技术的发展和芯片工艺、硬件水平的提升,人们开始利用数字信号处理技术、自适应技术、选频技术、差错对抗和分集技术等不断改善短波通信质量,提高数据传输速率,增强短波通信系统的自动化和自适应能力,提高抗干扰能力,使短波通信质量大幅提高,从而最终促成了高性能、高度自动化和具有自适应能力的现代短波通信系统的诞生和发展^[2]。短波无线通信具有许多其他通信方式所没有的优点,使其成为一种不可替代的通信方式,这些主要优点有:短波通信系统以不可摧毁的电离层为传输信道,具有极高的可靠性;短波通信距离远,可用来实现全球通信;短波电台可配置为车载或背负式,具有极高的灵活性和隐蔽性。

1.2 现代接收机体系结构的介绍

自从意大利人马可尼和俄国人波波夫开创了使用无线电进行通信的先河以来,无线通信技术就一直在飞速发展。作为无线通信中最重要一环的无线接收技术也在不断的进步。从最早的接收机和再生式接收机,到后来的零中频接收机,超外差式接收机。要设计接收机,当然就要首先了解接收机的体系结构。本章从最简单的接收机结构开始,逐步对现代接收机的各个体系作了一个比较详细的介绍。

1.2.1 短波接收机的结构回顾

(1) 最早的接收机

最早的接收机如图 1-1 所示。它利用天线所接收到的信号调谐检波后直接驱动耳机，由于没有放大信号的能力，故接收效果不好。

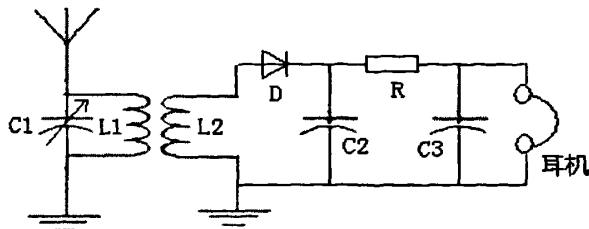


图 1-1 最早的接收机

(2) 直放式接收机

随着晶体管的发明而有了调谐直放式接收机，如图 1-2 所示。它由射频调谐放大器以及其后的检波器组成，使其性能得到了改善。

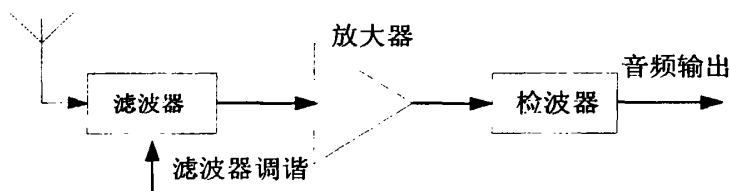


图 1-2 早期直放式接收机的原理图

(3) 零中频接收机

随着半导体工艺的不断发 展，接收机的集成度越来越高。为了适应这种发展趋势，零中频接收机结构进入了工程师的视野。作为一种镜像抑制方法，它的使用直接变换到基带的技术，因而称为零中频技术。零中频接收机的原理结构如图 1-3 所示。

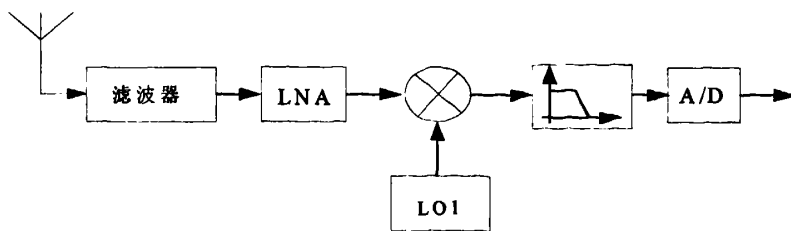


图 1-3 零中频接收机的原理框图

(4) 低中频接收机

为了降低对中频滤波器的要求同时又尽量避免直流漂移和低频噪声的影响,可以考虑将中频选择在较低但是非零的频率上,这就是所谓的低中频接收机。降低中频频率的直接后果就是加大了镜像频率的抑制难度。因此低中频接收机普遍采用了正交的镜像频率抑制混频器和多相滤波器,这两者都是利用信号和镜像干扰经过混频之后存在的相位差异来区分信号和干扰的。低中频接收机结构如图 1-4 所示。

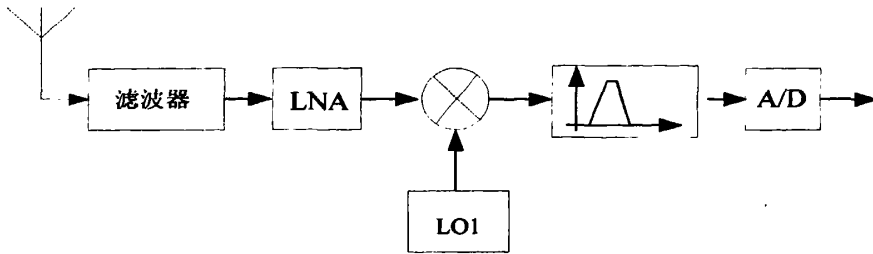


图 1-4 低中频接收机结构

(5)超外差接收机

超外差接收方式是一项古老的技术,从早期的无线电通信阶段就开始流行起来。其简化方框图示于图 1-5 中。

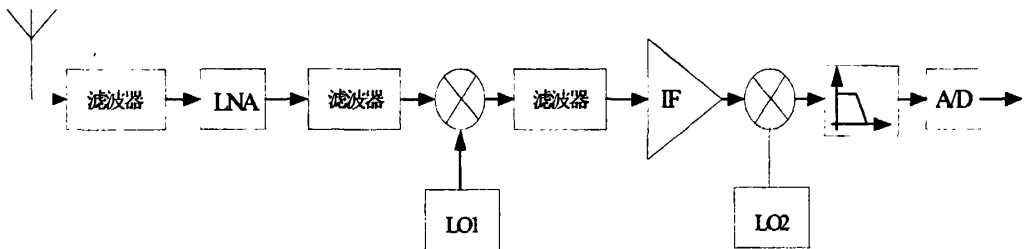


图 1-5 超外差式接收机原理方框图

超外差是将射频输入信号与 LO 信号进行混频,而后经中频(Intermediate Frequency, IF)滤波器选出两者的和频、差频。主要优点是在低中频上容易实现相对带宽较窄,矩形系数较高的中频滤波器,以提高接收机的选择性,而且增益可以从中频级获得,从而降低了从射频级实现高增益的难度。当射频信号频率上升到微波甚至毫米波时,可以采用二次变频方法,以降低滤波器实现的难度,保证接收机的选择性,即使在射频频率较低时,也可以采用二次变频,而且第一中频设计为高中频的方法来获得较好的镜像频率抑制。实际上,现代接收机前端绝大多数设计为超外差结构。

1.2.2 超外差接收机的镜像问题

混频器的两个输入信号 $x_1(t) = \cos \omega_1 t$ 和 $x_2(t) = \cos \omega_2 t$ ，经过混频后在低通滤波器输出的信号中， $\cos(\omega_1 - \omega_2)$ 与 $\cos(\omega_2 - \omega_1)$ 是没有区别的。因此，在超外差结构中，在频谱上关于本振（Local Oscillator, LO）信号对称的两个频带都会被下变频到相同的中频信号上。假如所需要的信号频谱的中心频率为 $\omega_1 = \omega_{LO} - \omega_{IF}$ ，那么中心频率在 $\omega_{IM} = \omega_{LO} + \omega_{IF}$ 的镜像信号也会被下变频到相同的中频上，如图 1-6 所示。

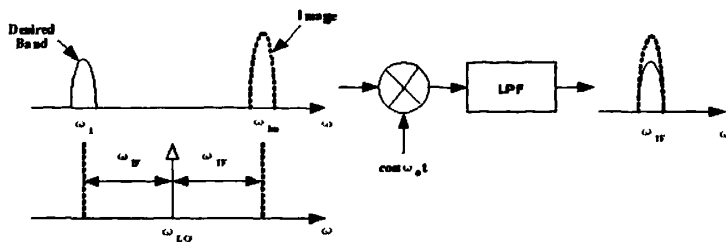


图 1-6 镜像干扰问题的示意图

镜像干扰问题的存在严重影响通信系统的性能，它会导致最后输出的有效信号完全被镜像干扰信号给“淹没”掉。镜像干扰是超外差接收机特有的干扰问题。采用提高中频频率就可以有效的减少镜像频率所带来的干扰。假设接收机的中频信号为 f_{IF} ，本振信号为 f_{LO} ，那么接收机信号频率为 $f_o = f_{LO} - f_{IF}$ ，而 $f'_o = f_{LO} + f_{IF}$ 称为镜像干扰频率。如果中频信号 f_{IF} 的频率比较低，那么就存在 f_o 和 f'_o 的频率间隔很小， f'_o 就会对接收机产生镜像干扰；如果中频信号 f_{IF} 的频率比较高，那么 f_o 和 f'_o 的频率间隔就很大， f'_o 也不会对接收机产生干扰，所以超外差接收机采用高-中频信号可以有效的减小镜像频率的干扰问题。

1.2.3 典型接收机结构的比较

目前，多数民用移动无线通信装置仍然主要使用超外差式结构，零中频接收机也是业内研究的热点所在。下面将这两种主要结构接收机的优点和难点进行了简单的比较。

(1) 超外差式接收机

是将接收信号与本机振荡电路的振荡频率，经混频后得到一个中频信号，这称为外差式接收。得到的中频信号后再经中频放大器放大，称为超外差式。

超外差式接收机的优点：超外差接收机可进行细分增益控制，接收动态范围大；超外差式接收机具有很高的邻道选择性(selectivity)和接收灵敏度

(sensitivity), 一般超外差式接收机在混频器前面会有一个预选射频滤波器, 在混频器后面还会有一个中频滤波器。这就使得它具有良好的选择性, 可以抑制很强的干扰; 超外差式接收机不需要复杂的直流消除电路。

超外差式接收机的缺点: 由于超外差式接收机一般会用到一级或几级中频混频所以电路会比零中频接收机复杂且成本高集成度不高, 并且存在镜像问题。

(2) 零中频接收机

零中频接收机的优点在于其结构简单, 不存在镜像问题, 集成度高, 自适应能力强等。

零中频接收机的缺点: 第一个问题与中频频率的直流选择有关。系统中的任何直流偏移都不能从有用信号中区别出来。图 1-7 显示出了由于本振泄露造成的直流偏移的情况。

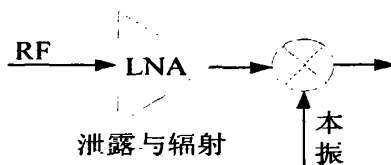


图 1-7 零中频接收机本振泄露和辐射

零中频接收机中, RF 有用信号与 LO 频率非常接近, 本振泄露或者 LNA 的辐射和泄露都正好被下变频到有用信号上, 混频器的任何偶次谐波失真都能泄露到输出端, 包括有用信号和信道中所有其他的信号和干扰, 都将经历偶次失真并被下变频到直流^[3]。在下变频过程中还有一个不容忽视的问题就是系统的直流偏移。由于是零中频, 对电路的直流偏置稳定度的要求远远高于其他结构的接收机。零中频接收机还存在着低频闪烁噪声的问题, 即 $1/f$ 噪声^[4]。这种噪声随着频率的降低而增加, 在 1MHz 以下的电路的 $1/f$ 噪声还是相当明显, 对零中频结构接收机的影响很大。

与零中频结构有关的另一个重要的问题是 LO 辐射和泄露。从混频器 LO 端到 RF 端的泄露耦合到天线并辐射出去, 这可能破坏附近用户的接收信号, 增加干扰。而且辐射的 LO 信号能被接收, 引起新问题。通过使用调谐混频器能克服 LO 辐射问题^[5]。由于没有传统超外差式接收机的 IF 滤波器, 零中频接收机对基带滤波器的要求大为提高。并且对增益级的动态范围要求也大大提高。基带滤波器必须额外提供足够的阻带抑制制度, A/D 变换器必须包括很宽的动态范围。

通过上述比较, 本系统中所采用的是超外差接收机的方案。在超外差接收机中, 混频器是将高频已调信号 (载波频率为 f_c) 不失真的变换为载波频率为 f_i 的中频已调信号的变换电路, 由于 f_c 是随着接收的信号的不同而不同, 所以本振

信号必须正确的跟踪 f_c 从而确保中频信号 f_i 为固定值。

1.3 短波接收机前端电路和本振信号的主要技术指标

1.3.1 短波接收机前端电路的主要技术指标

短波接收机前端通道部分要求实现的技术指标为：

接收频率范围：1.5 MHz~30MHz；

频率分辨率：10Hz；

镜像抑制比： $\geq 80\text{dB}$ ；

灵敏度：AM：1.5 μV ； $(S+N)/N=10\text{dB}$ ；

互调抑制： $\geq 60\text{dB}$ ；

杂散抑制： $\geq 60\text{dB}$ ；

邻道干扰抑制： $\geq 60\text{dB}$ ；

中频抑制比： $\geq 80\text{dB}$ ；

AGC 控制范围：输入信号变化 10000 倍，输出电压变化 ≤ 2 倍；

输出功率平坦度： $< 6\text{dB}$ 。

短波接收机前端电路除了满足以上指标的要求外，本振信号的关键性能是频率准确度与频率稳定度，指标达不到要求，会使接收频率漂移，导致接收机系统性能下降，严重时甚至使通信中断，因此对本振信号有近乎苛刻的要求。传统的 LC 振荡器显然不堪应用，应采用频率合成方案。

1.3.2 短波接收机本振信号的主要技术指标

本课题采用直接数字频率合成的方案，通过实际电路设计和调试，获得高频率准确度与稳定度、低相噪、低杂散的本振频率源。前端采用高稳晶振（晶振频率稳定度为 5×10^{-8} ）作为参考频率，通过倍频电路得到所需的高频时钟，由 DDS 输出所需的本振信号。

对产生的频率源具体指标要求为：

频率范围：46.5MHz~75MHz；

频率间隔：10Hz；

杂散抑制指标： $> 56\text{dB}$ ；

频率稳定度：优于 1×10^{-7} /每周；

优于 2×10^{-8} /每秒；

频率准确度：采用恒温晶体时，频率准确度优于 5×10^{-8} ；

1.4 本论文的主要工作

本文的主要工作是根据短波接收机的特点，结合新一代高性能芯片设计一种使用简单，性能优良的高精度本振信号源。整个系统以单片机 ATmega128 控制、DDS 芯片 AD9953 为核心，配置以相应的外围接口电路和跟踪滤波器的设计，用 C 语言开发，组成一个功能齐全，频率稳定多功能的高精度本振信号源发生器。

本文的主要工作如下：

- (1) 根据课题提出的指标研究了各种可能方案并进行对比，并分析其可行性。
- (2) 对系统的各个功能模块进行了深入的研究，在对课题所采用的方案进行详细的研究后设计了具体的功能电路。
- (3) 熟悉所选择的各集成电路芯片并完成 DDS 频率合成电路的设计和跟踪滤波器的设计、PCB 板布局，并对各模块电路进行了精心调试。
- (4) 对系统的最终指标进行了测试，针对系统的不足，进行了分析并提出了一些改进的方法。

第 2 章 短波接收机本振信号源的实现方案

本章我们将先介绍短波接收机前端电路的原理与组成，对其中的一些关键模块进行深入的分析，然后提出短波接收机本振信号源的几种实现方案，并对所提出的方案进行比较，最后对具体实现方案进行分析。

2.1 短波接收机相关电路的组成

2.1.1 短波接收机前端电路的组成

短波接收机前端组成框图如图 2-1 所示，天线接收到的信号通过预选滤波器滤除了干扰和噪声，第一本振(LO1)同时送至第一混频器(Mixer)混频后经带通滤波器选出两者的差频，经过带通滤波器 (BPF)选频后，再通过低放大器后与再与第二本振(LO2)混频后，经第二中频放大器选频放大后，再与第三本振信号混频后，经过低通滤波器后送至数字信号处理电路后输出。其中第一中频频率为高中频，频率为 45MHz，这主要是为了提高抗镜像干扰的能力。第二中频频率为 455KHz。第三中频频率为 50KHz。前端采用 8 组预选滤波器，以提高抗阻塞干扰的能力。并采用自动增益控制 (Automatic Gain Control, AGC) 电路，可保证输出电平波动在 6dB 以下。

接收机工作时，其输出功率是随着外来信号的场强的大小来变化的，接收机所接收的信号，随着各种条件的改变而有很大的差异，信号强度的变化可以由几 μV 至几百 mV。但是我们希望接收机输出电平变化的范围尽量小，避免过强的信号使晶体管和终端器件过载，以致损坏。所以必须采用自动增益控制 (AGC)。自动增益控制电路的作用是，当输入信号电压变化很大时，保持接收机输出电压几乎不变。当输入信号很弱时，接收机的增益很大，自动增益控制电路不起作用。当输入信号很强时，自动增益控制电路进行控制，使接收机的增益减小。这样当信号场强变化时，接收机的输出端电压或功率几乎不变。

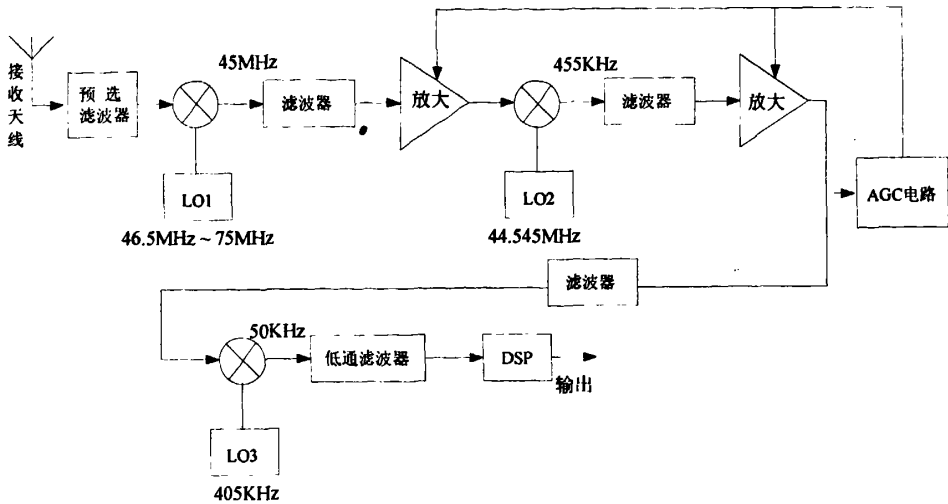


图 2-1 短波接收机的前端实现框图

2.1.2 预选滤波器的实现框图

由于预选滤波器处于整个射频前端系统的第一级,其性能对整个接收机系统产生极大的影响,考虑到系统的线性度(避免非线性误差带来噪声)。图 2-2 所示为八波段预选滤波器,由电子开关和八个集中选择滤波器组成,受译码器输出的控制。天线接收的信号通过电子开关切换,与相应的接收频率一一对应。另外,单片机输出信号经 D/A 转换变换成控制电压,产生随频率而变的调谐信号,控制预选滤波器的调谐状态,使预选器处于最佳接收状态。

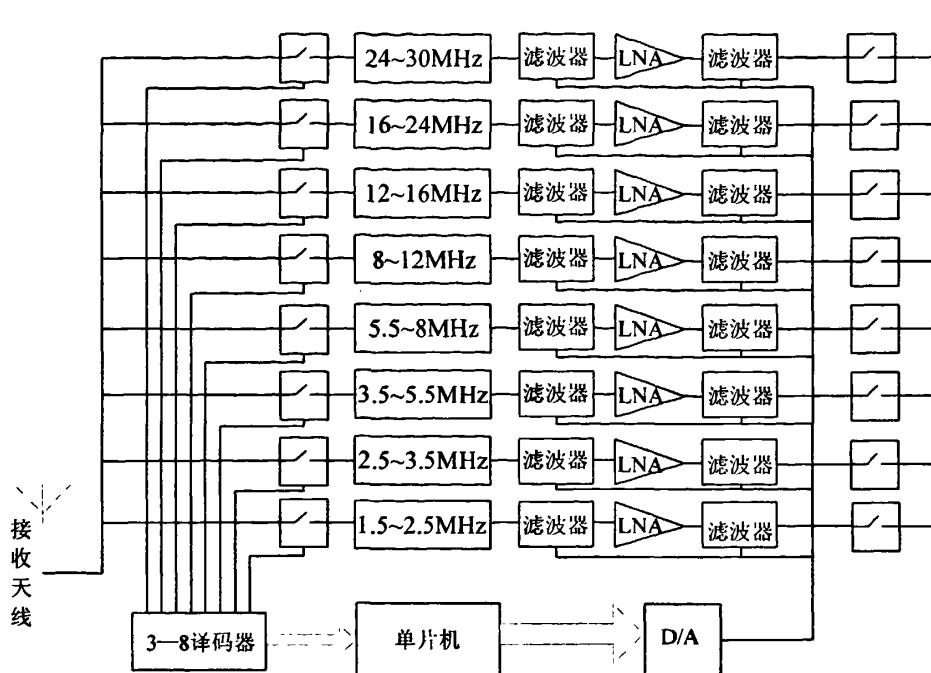


图 2-2 八波段预选滤波器

2.2 本振信号源的实施方案

本振信号源实现方式主要是频率合成，频率合成器是现代电子系统的重要组成部分。随着电子技术的不断发展，各类电子系统对频率合成器的要求越来越高，对相位噪声、频率转换时间、频率分辨率、相对工作带宽等多种指标同时提出了更高的要求。频率合成的主要技术指标有输出频率范围、频率间隔、频率稳定性和频谱纯度。频率合成器分为直接数字式和间接式两种基本类型。

2.2.1 间接式频率合成

锁相式频率合成(PLL)是一种间接的频率合成方法。模拟锁相环可等效为窄带滤波器，所以这种频率合成杂散性能较好，由于主要使用正弦鉴相器，所以系统相位噪声性能较好，但这种方法电路复杂，体积较大，成本较高^[6]。

数字锁相环采用在锁相环内插入数字分频器和数字鉴相器的方法，分频器常用的有：程控分频器、吞除脉冲分频器和小数分频器^[7]。数字锁相频率合成技术结构简单，频率也可以做得很高，但同时也具有模拟锁相环的缺点，即有频率转换时间长、环路抗干扰能力差等诸多不足。

PLL 是一个闭环的相位控制系统, 可分为模拟锁相环和数字锁相环, 它们都包括三个基本的组成部分: 鉴相器(Phase Detector, PD)、环路滤波器(Loop Filter, LF)和压控振荡器(Voltage Controlled Oscillator, VCO)。其结构框图如图 2-3 示

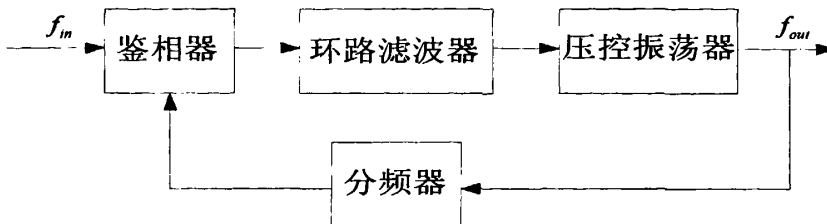


图 2-3 基本锁相环频率合成器

2.2.2 直接式频率合成

直接数字频率合成就是人们所说的 DDS(Direct Digital Synthesis), 是一种新颖的频率合成技术。DDS 一般由相位累加器、波形存储器、数模转换器及低通滤波器组成, 其基本原理就是将波形数据先存储起来, 然后在频率控制字 K 的作用下, 通过相位累加器从存储器中读出波形数据, 最后经过数/模转换和低通滤波后输出频率合成信号^[8]。DDS 的原理使其具备了以下优良的工作特点:

(1) 频率分辨率高

DDS 的分辨率在 f_c 固定时, 取决于相位累加器的位数 N, 只要 N 足够大, 理论上可以获得相应的频率分辨精度, 这用传统的频率合成方法是难以实现的。

(2) 频率变化速度快

在 DDS 中, 一个频率的建立时间通常取决于滤波器的带宽。由于 DDS 中无须相位反馈控制, 因而频率建立及切换快并且与频率分辨率、频谱纯度相互独立。

(3) 易于实现各种数字调制

由于 DDS 信号的频率、相位、幅度可由数字信号控制, 所以通过预置内部相位累加器的初始值来控制输出信号, 调幅时直接在 ROM 表输出端对幅度进行控制, 调相时在相位累加器输出端直接加上调制信号, 调频可通过频率控制字进行。

(4) 集成度高

DDS 中除了滤波器以外, 几乎所有的部件都属于数字信号处理部件, 系统易于集成, 功耗低, 体积小, 重量轻。

所以本课题采用 DDS 频率合成的方法来产生接收机所需要的本振信号。

2.3 直接数字频率合成技术

直接数字式频率合成 DDS 技术是近年来随着数字集成电路和计算机的发展而迅速发展起来的一种新的频率合成技术。DDS 一般由相位累加器、波形存储器、数模转换器及低通滤波器组成。这种频率合成方法可以获得高精度频率和相位分辨率、快速频率转换时间和低相位噪声的频率信号，而且结构简单集成度高。但 DDS 输出频率上限较低和输出杂散较大这两个瓶颈问题在一定程度严重制约了它的应用^[9]。

2.3.1 DDS 的基本原理

直接数字频率合成技术是从相位概念出发，直接对参考正弦信号进行抽样，得到不同的相位，通过数字计算技术产生对应的电压幅度，最后滤波平滑输出所需频率。下面，通过从相位出发的正弦函数产生描述 DDS 的概念。

图 2-4 表示了半径 R 为 1 单位圆，半径 R 绕圆心旋转与 X 轴的正方向形成夹角 $\theta(t)$ ，即相位角。

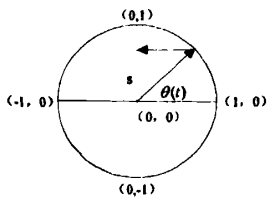


图 2-4 单位圆表示正弦函数 $S = R \sin \theta(t)$

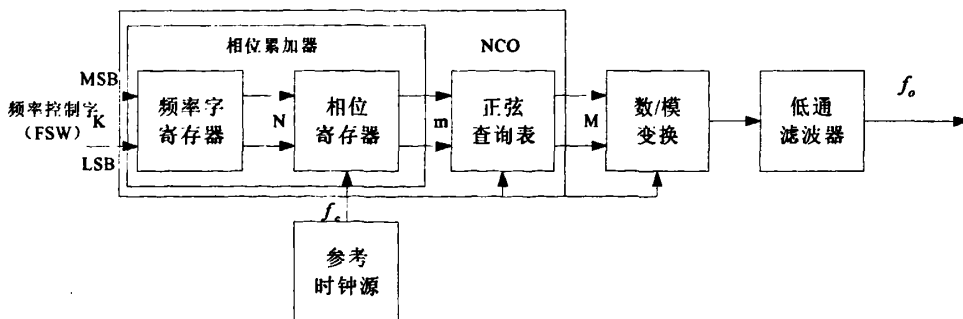


图 2-5 DDS 的原理框图

图中： f_c 为参考时钟频率， $T_c = 1/f_c$

f_o 为输出频率, $T_o = 1/f_o$

K 为频率控制字, N 为相位累加器的字长, m 为 ROM 地址线位数, M 为 ROM 数据线位数, 即 DAC 的位数。

DDS 的数学模型可归结为: 在每一个时钟周期 T_c 内, 频率控制字 K(Frequency Control words)与 N 比特相位累加器累加一次, 并同时以 2^N 取模运算, 得到的和(以 N 位二进制数表示)作为相位值, 以二进制代码的形式去查询正弦函数表 ROM, 将相位信息转变成相应的数字量化正弦幅度值, ROM 输出的数字正弦波序列再经数模转换器转变为阶梯模拟信号, 最后通过低通滤波器平滑后得到一个纯净的正弦模拟信号。

$$f_o = \frac{K}{2^N} \cdot f_c \quad (2-1)$$

当 K=1 时, DDS 为最小频率输出, 则 DDS 的最小频率分辨率可达:

$$\Delta f_{\min} = \frac{1}{2^N} \cdot f_c \quad (2-2)$$

由此可见, DDS 相当于一个小数分频器。最小频率分辨率是频率控制字最低位为“1”, 其余位均为“0”时 DDS 的输出频率, 只要 N 足够大, 即累加器有足够的长度, 总能得到所需的频率分辨率。

2.3.2 DDS 的基本结构

DDS 的基本结构包括相位累加器(PD)、正弦查询表(ROM)、数模转换器(DAC)和低通滤波器(LPF)。

(1) 相位累加器 (PD)

相位累加器是 DDS 最基本的组成部分, 用于实现相位的累加并存储其累加结果。若当前相位累加器的值为 Σ_n , 经过一个时钟周期后变为 Σ_{n+1} , 则满足:

$$\Sigma_{n+1} = \Sigma_n + K \quad (2-3)$$

由式 2-3 可见, Σ_n 为一等差数列, 不难得出:

$$\Sigma_n = nK + \Sigma_0 \quad (2-4)$$

相位累加器的基本结构如图 2-6 所示, 它由一个 N-bits 加法器和一个 N-bits 寄存器构成, 寄存器通常采用 N 个 D 触发器来构成。

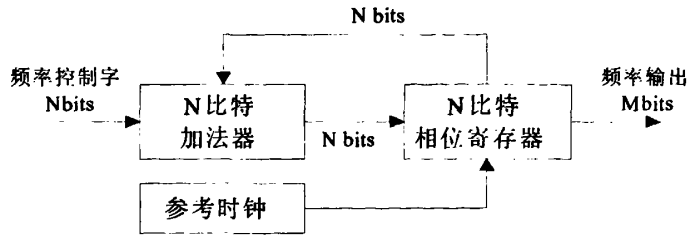


图 2-6 相位累加器的基本结构

(2) 正弦查询表(ROM)

正弦查询表所存储的数据是每一个相位所对应的二进制数字正弦幅值，在每一个时钟周期内，相位累加器输出序列的高 m 位对其进行寻址，最后的输出为该相位相对应的二进制正弦幅值序列^[10]。可以看出，ROM 的存储量为 $2^m \cdot M$ 比特，其中 m 为相位累加器的输出位数， M 为 ROM 的输出位数。若 $m=12$ ， $M=8$ ，可以算出 ROM 的容量为 32, 768bit。

(3) 数模转换器(DAC)

数模转换器的作用是将数字形式的波形幅值转换成所要求合成频率的模拟形式信号。DAC 有电压和电流输出两种，其输出的信号并不能真正连续可变，而是以其绝对分辨率为最小单位的，所以其输出实际上是一个阶梯模拟信号^[11]。现在，一些器件厂家如美国的 AD 公司，都在 DDS 器件的芯片内部集成了 DAC，这种结构称为 Complete-DDS，大大简化了 DDS 的系统设计。

2.4 短波接收机本振信号源的系统实现

根据上面讲述的实现方案，给出了短波接收机本振信号源的系统具体实现框图，如图 2-7 所示。本系统短波接收机要用到三个本振信号，其中本振信号（LO1）主要是通过单片机来控制 DDS 专用芯片 AD9953，使其输出短波接收机所需要的本振信号(LO1)。而本振信号（LO2）和（LO3）是通过 CPLD 产生一个频率恒定的信号，并通过相应的外围电路，得到短波接收机所需要的本振信号。系统中高稳晶体主要是给系统提供一个稳定的时钟信号。

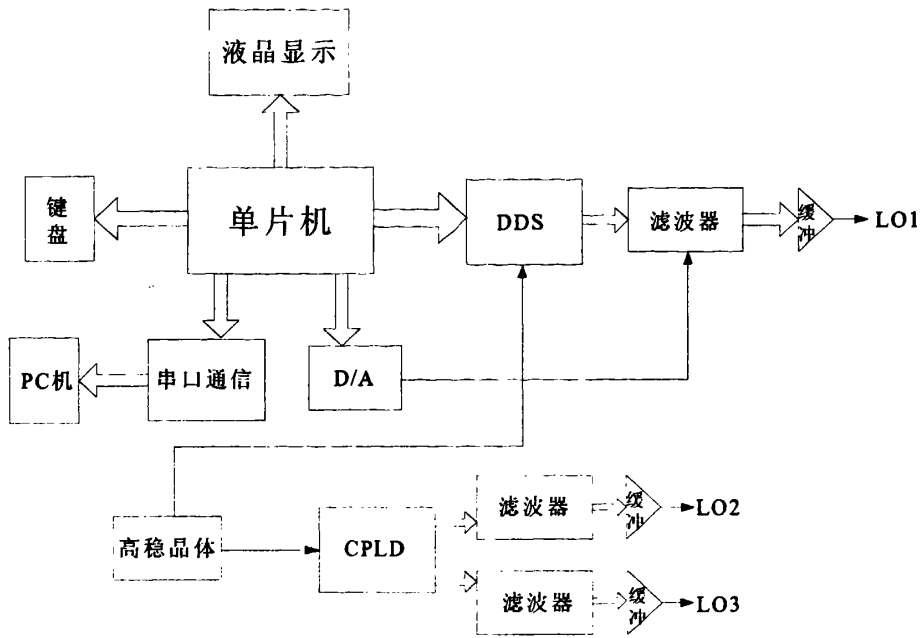


图 2-7 本振信号源的系统实现框图

第3章 本振信号对接收机的影响

在现代无线电通信和雷达技术中，系统的灵敏度和选择性一直是设计的难点，其主要限制的因素是噪声指数和非线性器件。现在由于无线电通信和雷达技术的提高，对系统提出了更高、更严格的要求，因而新的限制因素又引起了设计者的注意，这些新的限制因素是相位噪声和杂散。为了说明相位噪声和杂散对现代无线通信系统的影响，以及低相位噪声和低杂散的本振信号源对提高系统性能的重要作用，下文进行了详细的分析。

3.1 DDS 信号的频谱

频谱纯度是指频率合成信号输出频谱偏离纯正弦波谱多少的一个量度。频谱纯度和频率稳定度分别是频域和时域来描述同一事物的。影响频率合成信号频谱纯度的因素有很多，最主要的因素有两个：一是相位噪声，二是杂散干扰^[12]。

频率合成器的相位噪声是指各种随机噪声所造成的瞬时频率或相位起伏。相位噪声是频率合成器中重要的技术指标，它直接影响到电子系统的性能。

在频率合成过程中产生的不需要的频率分量，又没有被充分地抑制掉，这些不需要的频率分量被称为杂散干扰。杂散可能表现为信号频率 f_0 谱线旁存在的非谐波关系的离散单根谱线。杂散抑制就是指与载波频率成非谐波关系的离散频谱功率与载波功率之比。杂散也是频率合成器的一项重要技术指标，在频率合成技术中，要求杂散越小越好。频率合成器的频谱示意如图 3-1 所示。

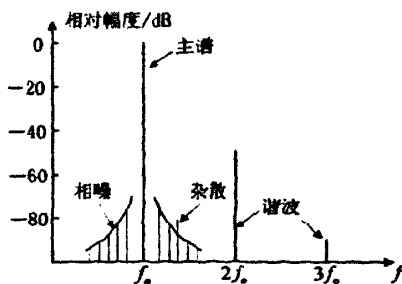


图 3-1 频率合成器的频谱示意

前面提到的 DDS 的两个主要缺点之一就是杂散指标不高，因此在系统设计

中,为了满足相关指标,有必要对 DDS 的频谱进行分析与研究,以便从原理上找出问题的解决方法。

3.1.1 DDS 理想频谱的分析

当满足以下三个条件时, DDS 是理想的:

(1) 相位累加器输出的位数无舍位,即 $B=N-M=0$,也就是用全部的位来寻址正弦查询表

(2) 正弦查询表的幅度量化值位数无穷大,即 S 无限大。

(3) DAC 的分辨率无穷大,即 D 位无限大, DAC 具有理想模数转换特性。

累加器的输出为产生的正弦信号的相位码,因此可以看作是以 f_c 为采样率,对一个正弦信号进行采样,经 DAC 之后,变成如图 3-2 所示的阶梯波^[13]。

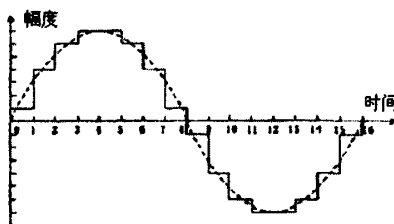


图 3-2 经 DAC 恢复的正弦波

若 DDS 的相位累加器的字长为 N , 频率控制字为 K , 则相位累加器 $t = nT_c$ 时刻 (T_c 为时钟周期, $T_c = 1/f_c$), 输出的相位序列 $\Phi(n)$ 为:

$$\Phi(n) = \text{mod}(nK, 2^N), \quad n=0,1,2,\dots \quad (3-1)$$

其中 $\text{mod}(nK, 2^N)$ 表示 nK 对 2^N 求余运算, 由模除运算的性质可知, $\Phi(n)$ 是

周期序列, 周期为: $T_\phi = \frac{2^N}{\text{GCD}(2^N, K)}$

这里, $\text{GCD}(2^N, K)$ 表示取 2^N , K 的最大公约数。

理想 DDS 的 ROM 输出波形幅度序列为:

$$s(n) = \cos(nK \cdot 2\pi / 2^N), \quad n=0,1,2,\dots \quad (3-2)$$

经 DAC 转换之后变为其表达式可写为

$$s(t) = \left[\sum_{n=-\infty}^{+\infty} s(n) \delta(t - nT_c) \right] * q(t) = \left[\sum_{n=-\infty}^{+\infty} \cos(nK \cdot 2\pi / 2^N) \delta(t - nT_c) \right] * q(t) \quad (3-3)$$

上式中*代表卷积运算, 其中 $\delta(t)$ 为单位冲激函数, $q(t) = u(t) - u(t - T_c)$, $u(t)$ 为单位阶跃函数, 如图 3-3 所示。

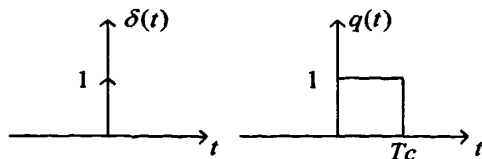


图 3-3 $\delta(t)$ 和 $q(t)$ 波形

由于输出频率 $f_o = Kf_c / 2^N = K / (T_c 2^N)$, 故上式还可变为:

$$s(t) = \left[\sum_{n=-\infty}^{+\infty} \cos(2\pi f_o n T_c) \delta(t - n T_c) \right] * q(t) = \left[\sum_{n=-\infty}^{+\infty} \cos(2\pi f_o t) \delta(t - n T_c) \right] * q(t) \quad (3-4)$$

$$\text{令 } p(t) = \sum_{n=-\infty}^{+\infty} \cos(2\pi f_o t) \delta(t - n T_c); \text{ 则 } s(t) = p(t) * q(t)$$

对 $s(t)$ 作傅立叶变换, 根据卷积定理有:

$$S(j\omega) = P(j\omega)Q(j\omega) \quad (3-5)$$

式中, $S(j\omega)$ 、 $P(j\omega)$ 和 $Q(j\omega)$ 分别是 $s(t)$ 、 $p(t)$ 和 $q(t)$ 的傅立叶变换。因为 $p(t)$ 是 $\cos(2\pi f_o t)$ 的理想采样信号 (采样频率为 f_c), 所以 $p(t)$ 的频谱为 $\cos(2\pi f_o t)$ 的频谱在频率轴上以 f_c 为周期的延拓^[14]。故有:

$$P(j\omega) = \frac{1}{T_c} \sum_{n=-\infty}^{+\infty} \pi [\delta(\omega + 2\pi f_o - 2\pi n f_c) + \delta(\omega - 2\pi f_o - 2\pi n f_c)] \quad (3-6)$$

$$Q(j\omega) = T_c \text{Sa}\left(\frac{\omega T_c}{2}\right) e^{-j\frac{\omega T_c}{2}} = T_c \frac{\sin(\omega T_c / 2)}{\omega T_c / 2} e^{-j\frac{\omega T_c}{2}} \quad (3-7)$$

将上面两式代入(3-5)式得理想 DDS 的输出频谱:

$$\begin{aligned} S(j\omega) &= \sum_{n=-\infty}^{+\infty} \pi [\delta(\omega + 2\pi f_o - 2\pi n f_c) + \delta(\omega - 2\pi f_o - 2\pi n f_c)] \text{Sa}\left(\frac{\omega T_c}{2}\right) e^{-j\frac{\omega T_c}{2}} \\ &= \pi \sum_{n=-\infty}^{+\infty} \text{Sa}\left(\frac{\pi(n f_c - f_o)}{f_c}\right) e^{-j\pi \frac{(n f_c - f_o)}{f_c}} \delta(\omega + 2\pi f_o - 2\pi n f_c) \\ &\quad + \pi \sum_{n=-\infty}^{+\infty} \text{Sa}\left(\frac{\pi(n f_c + f_o)}{f_c}\right) e^{-j\pi \frac{(n f_c + f_o)}{f_c}} \delta(\omega - 2\pi f_o - 2\pi n f_c) \end{aligned} \quad (3-8)$$

从式 3-8 中可以看出, 理想的 DDS 输出频谱在 $f = n f_c \pm f_o$ 时存在离散的谱

线，它们是由信号和时钟谐波相混频而构成的和频与差频分量。也就是说整个 DDS 输出信号频谱中镜像残余分量的谱线总是集中在系统时钟频率 f_c 的谐波附近，而在 $(0, f_c/2)$ 之内除了信号的谐波分量外则不存在其它杂散干扰；并且谱线的包络具有抽样函数 $Sa(x)$ 的形状，这是由于平顶抽样带来的孔径失真造成的。这样，输出信号的频谱分布示意图如图 3-4 所示。

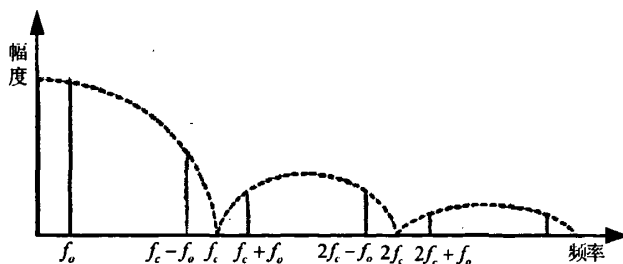


图 3-4 理想 DDS 输出频谱结构图

3.1.2 DDS 杂散特性的分析

实际 DDS 不满足理想 DDS 的条件，其输出总是含有杂散的，如图 3-5 所示：

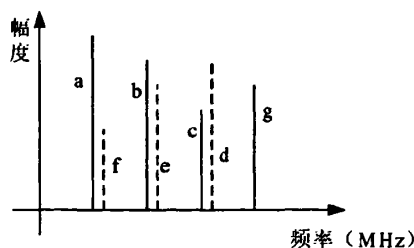


图 3-5 DDS 实际输出频谱

图中频谱线 f、e、d 为产生的杂散信号频谱。

DDS 的数字化处理技术体现了频率分辨率数字结构也带来了不利因素，丰富的杂散随着主频一起输出，使得降低杂散设计成为一个系统必须考虑的问题。DDS 的杂散来源主要有相位截断误差、幅度量化误差和由 DAC 转换产生的误差。

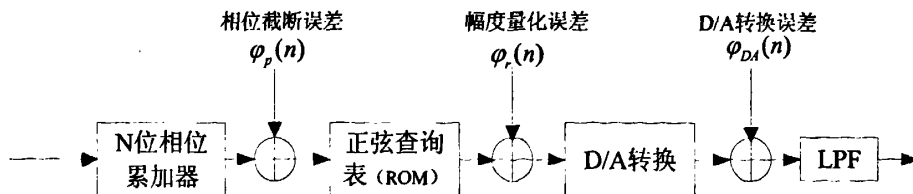


图 3-6 DDS 杂散来源模型

(1) 相位截断产生的杂散

并不是在每个 DDS 的输出频点上都会产生杂散，而且杂散的大小和分布也有规律可寻。DDS 只用了高 M 位而不是用全部的 N 位来查询正弦表，这样实际查询的值与理想值之间就产生了误差。因为 DDS 的输出通常都是正弦信号，因此它的相位截断具有明显的周期性，尤其是当系统时钟频率是输出正弦波频率的整数倍时，这种周期性就更加明显。这相当于周期性地引入了一个截断误差，最终的影响就是输出信号带有一定的谐波分量，表现在输出的频谱上就是会有杂散信号存在。

(2) 幅度量化产生的杂散

幅度量化在大多数情况下，每个相位对应的幅度值都是一个无限小数，它并不能在 ROM 中准确地存储，通常 ROM 表的宽度越大，其存储的数值就越接近真实值。与相位截断误差类似，其结果也相当于周期性地引入了一个量化误差，并且当 DDS 的系统时钟频率等于正弦波频率的整数倍时，周期性更为明显，因而最终也会带来一定的谐波。

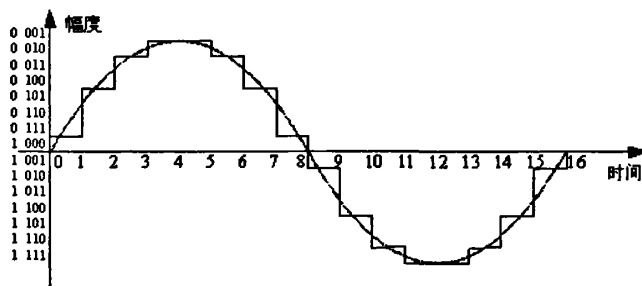


图 3-7 DDS 的幅度量化过程

(3) DAC 转换误差带来的杂散

DAC 是 DDS 中的一个关键的部件，DDS 输出频率的提高就意味着在每一个正弦周期的幅度采样点少了，这样就使得 DAC 准确的重建正弦波的难度加大了，因此实际上 DDS 系统的最高输出频率主要受到 DAC 性能的限制。DAC 对 DDS 的影响可从两方面来考虑：一方面是理想 DAC 特性对 DDS 的影响，在此过程中理想 DAC 仅对信号频谱的幅度和相位有所改变，在输出上体现为滚降特性，并不引入其它频率成分；另一方面也是最主要的影响，是由于实际中的 DAC 器件的非线性特性、瞬间毛刺等非理想转换特性在输出频谱中产生了杂散^[15]。

3.1.3 DDS 噪声特性的分析

相位噪声一般是指在系统内各种噪声作用下的输出信号相位的随机起伏。通常相位噪声又分为频率短期稳定性和频率长期稳定性。所谓频率短期稳定性，

是指由随机噪声引起的相位起伏或频率起伏^[17]。至于因为温度、老化等引起的频率慢漂移，则称之为频率长期稳定度。通常我们主要考虑的是频率短期稳定度问题，可以认为相位噪声就是频率短期稳定度。

一个理想的正弦波信号可用正式表示：

$$V(t) = A \sin 2\pi ft \quad (3-9)$$

式中， $V(t)$ 为信号瞬时幅度， A 为标称值幅度， f 为标称值频率。由于任何一个信号源都存在着各种不同的噪声，每种噪声分量各不相同，使得实际的输出成为：

$$V(t) = [A + \varepsilon(t)] \sin [2\pi ft + \varphi(t)] \quad (3-10)$$

一般情况下，由于输出信号的幅度噪声调制功率远小于相位噪声调制功率，所以 $|\varepsilon(t)| \ll A$ ，通常可以将 $\varepsilon(t)$ 忽略不计，而是主要对 $\varphi(t)$ 进行测量，故可以得到：

$$V(t) = A \sin [2\pi ft + \varphi(t)] \quad (3-11)$$

同去相位噪声 $\varphi(t)$ 的存在，使频率源的频率不稳定。这种不稳定性常用频域相对单边带功率谱 $L(\Delta f)$ 来表征。如图 3-8 所示，它被定义为在一个偏频上噪声功率与载波信号功率的比值，通常把它归一化到 1Hz 带宽^[18]。计算公式如下：

$$L(\Delta f) = 10 \log \left[\frac{P_{\text{sideband}}(f_0 + \Delta f, 1\text{Hz})}{P_{\text{carrier}}} \right] \quad (3-12)$$

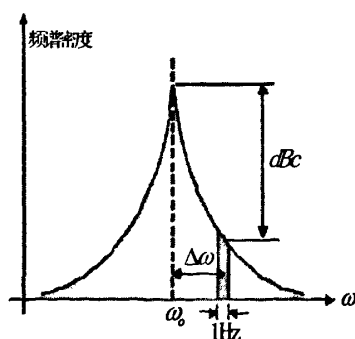


图 3-8 相位噪声

3.2 本振信号源对接收机的影响

3.2.1 理想本振信号源的频谱分析

频率合成器的作用就是为频率转换过程提供一个稳定的参考频率，图 3-9 给

出了在超外差接收体系中射频接收部分的结构。接收的射频信号通过 LNA（低噪声放大器）、中频滤波器并与混频信号进行混频，假设接收到的射频信号表示为 $f_{RF}(t)$ ，并且其表达式为：

$$f_{RF}(t) = a(t) \cdot \cos(2\pi f_c t + \phi) \quad (3-13)$$

其中 $a(t)$ 是决定射频信号的幅度变化的， f_c 是确定射频信号的频率的。一个有频率合成器产生的理想本振信号源可以表示为 $f_{LO}(t)$ ，其表达式可以表示为：

$$f_{LO}(t) = b(t) \cdot \sin(2\pi f_o t + \varphi) \quad (3-14)$$

其中 $b(t)$ 是决定本振信号的幅度， f_o 是本振信号的频率。当射频信号 $f_{RF}(t)$ 与本振 $f_{LO}(t)$ 进行混频，混频后的波形可以用数学表达式表示为：

$$\begin{aligned} f_{IF}(t) &= f_{RF}(t) \cdot f_{LO}(t) = [a(t) \cdot \cos(2\pi f_c t + \phi)] [b(t) \cdot \sin(2\pi f_o t + \varphi)] \\ &= \frac{1}{2} a(t)b(t) [\sin(2\pi(f_c + f_o)t + \phi + \varphi) - \sin(2\pi(f_c - f_o)t + \phi - \varphi)] \end{aligned}$$

在这种接收方式下，根据表达式有，上变频信号 $(f_c + f_o)$ 被低通滤波器所滤掉，所以经过混频后得到的中频信号的频率为 $f_{IF} = |f_c - f_o|$ 。在混频过程中，假设幅度变化可以不用考虑。

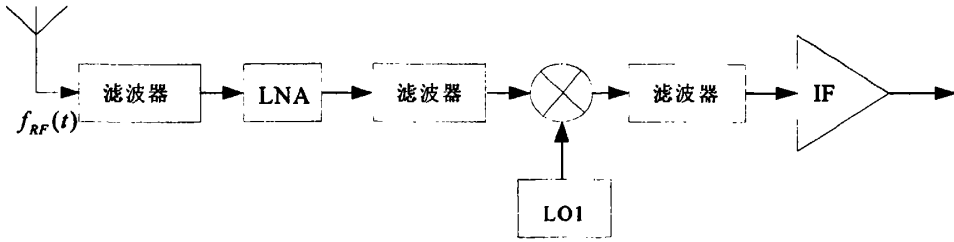


图 3-9 射频信号接收部分框图

图 3-10 给出了在频域范围内，理想情况下混频变化的全部过程。接收信号的频谱由一个薄弱的有效信号的频谱和许多较强的信道噪声频谱组成^[19]。当使用距离基站很近的理想信道进行传输时，这种情况在现在的无线通信系统中是很普遍的。

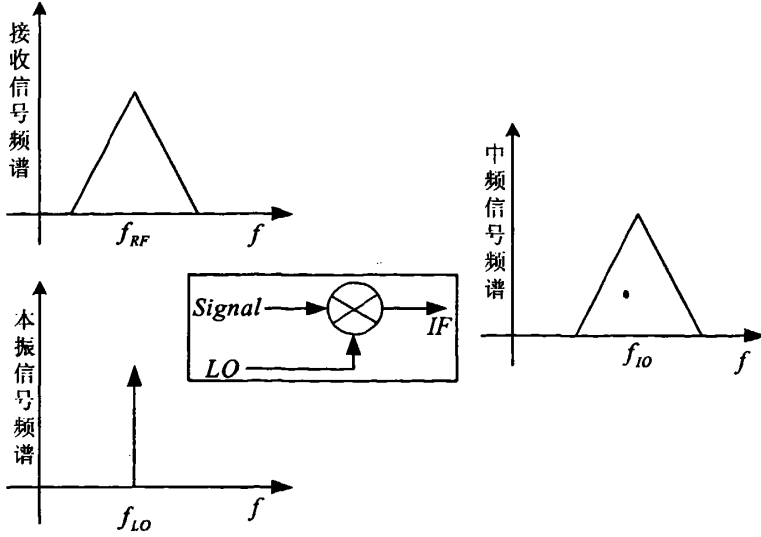


图 3-10 理频频率合成的频谱变换图

在实际的无线通信系统中，由于系统噪声和不匹配的存在，会存在一些干扰，所以在频率合成的输出端存在相位噪声和杂散这两个主要干扰的影响，在系统的设计过程中要尽量减小这两个主要的干扰因素所产生的影响。

3.2.2 相位噪声对接收机影响的分析

随着无线电通信系统性能的提高，本振信号源相位噪声的要求常常是整个系统的限制因素。相位噪声实际上是频率的短期稳定性。由于相位噪声的存在，引起载波频谱的扩展，其范围可以从偏离小于 1Hz 一直延伸到几兆赫兹。频率的稳定性是振荡器在整个规定的时间范围内产生相同频率的一种度量^[20]。如果信号频率存在瞬时的变化，不能保持不变，那么本振信号源就存在着不稳定性，起因就是相位噪声。

首先假定本振信号源的输出是完全纯净的正弦波，用式表示如下：

$$v(t) = V_0 \sin 2\pi f_0 t \quad (3-15)$$

在实际应用中，所有的信号源都存在不稳定，于是不稳定的信号源输出信号可以表示为：

$$v(t) = V_0 \sin[2\pi f_0 t + \Delta\phi(t)] \quad (3-16)$$

根据式 (3-17) 可以推得相位噪声的时域表示法，式中相位是一个线性增长的分量 $2\pi f_0 t$ 和一个随机起伏的相位噪声 $\Delta\phi(t)$ 之和。根据频率和相位的关系有：

$$\begin{aligned}\phi(t) &= 2\pi f_0 t + \Delta\phi(t) \\ f(t) &= \frac{1}{2\pi} \frac{d\phi(t)}{dt} = f_0 + \Delta f(t) = f_0 + \frac{1}{2\pi} \frac{d\phi(t)}{dt}\end{aligned}\quad (3-17)$$

式(3-18)表示对同一个信号的频率稳定性的程度既可以用相位起伏来表示,也可以用频率起伏来表示。

频域表示法是指用分数频率起伏的谱密度 $S_y(f_m)$, 或者相位起伏的谱密度 $S_{\Delta\phi}(f_m)$ 来表征频率稳定性。关于分数频率是这样定义的: 瞬时频率偏移 $\Delta f(t)$ 对载波频率 f_0 的归一化, 即 $y(t) = \Delta f(t) / f_0$, 其相位的谱密度为 $S_y(f_m)$ 。

(1) 分数频率起伏谱密度为 $S_y(f_m)$

振荡器输出信号的分数频率起伏谱密度可以用一个简单的幂律形模型表示为: $S_y(f_m) = h_{-2}f_m^{-2} + h_{-1}f_m^{-1} + h_0f_m^0 + h_1f_m^1 + h_2f_m^2$ (3-18)

而且 $S_y(f_m) = 0$, $f_m > f_h$ 式中 h_a —谱密度斜率, $a = -2, -1, 0, 1, 2$;

f_h —高截止频率 f_m —傅里叶频率

(2) 相位起伏谱密度 $S_{\Delta\phi}(f_m)$

在实际应用中, 振荡器输出信号的相位噪声更为重要, 它的幂律形模型表示为:

$$\begin{aligned}S_{\Delta\phi}(f_m) &= f_0^2 (h_{-2}f_m^{-2} + h_{-1}f_m^{-1} + h_0f_m^0 + h_1f_m^1 + h_2f_m^2) \\ f_m &> f_l \quad (\text{某一低截止频率})\end{aligned}\quad (3-19)$$

由此可见。随着 f_m 的降低, $S_{\Delta\phi}(f_m)$ 表示出强烈的短期噪声效应, 也就是说, f_m 越接近载波频率, $S_{\Delta\phi}(f_m)$ 的值就越大, 甚至趋近于无穷。另一方面还要求对 f_m 有一个限制, 即 $f_m > f_l^{[21]}$ 。

在当前的频率合成系统中, 常常会使用一些特殊的电路来满足系统设计的要求。一些随机的电子噪声伴随着特殊电路, 在系统输出端将会产生一些不确定的频谱分量。图 3-11 给出了在时域和频域范围内相位噪声的示意图。在时域系统中, 低频的相位噪声通过载波调整射频的频率范围; 在频域系统中, 相位噪声的能量大部分集中在载波的中心频率范围。理想情况下, 振荡输出的频谱中心只是一个单频率。相位噪声的测量通常被规定为 dBc/Hz 。

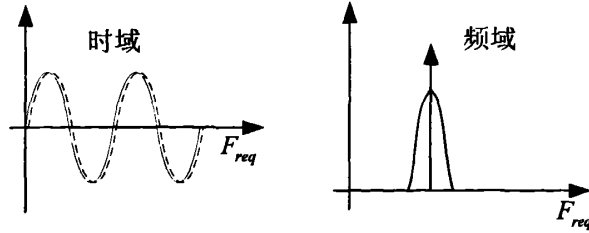


图 3-11 相位噪声的时域和频域表示图

在各种高性能、宽动态范围的频率变换中，相位噪声是一个主要的限制因素。例如，现代高性能超外差通信接收机，在多信号环境中，第一下变频级是从强干扰信号中提取弱有用信号的关键。假如两个信号同时出现在接收机的输入端，那么所发生的情况如图 3-12 所示。图中表示两个输入的射频（RF）信号（ f_1 为强干扰， f_2 为有用信号）和本振信号（LO）。显然本振信号（LO）不纯，有边带频谱，即边带相位噪声^[22]。

在变频过程中，混频器把输入的两个 RF 信号与本振信号及其边带信号进行混频，得到有用的中频（IF）信号和干扰的中频信号。中频选择滤波器可分离出其中一个信号供放大、检波和基带处理^[23]。如果有用信号是一个比较大的信号，那么恢复该信号就不存在什么困难；如果有用信号是一个比较小的信号，那么就存在困难，因为本振信号的边带噪声就会直接转换成强干扰中频信号的边带噪声，并落入中频带宽内，淹没了有用的中频信号^[24]，如图 3-12 所示。在这种情况下，尽管中频滤波器可以滤除强干扰信号，但对强干扰中频边带是无能为力的，这时弱的有用信号的恢复就不再可能了。这种影响在高选择性和宽带动态范围接收机中是非常明显的。关键在于本振信号（LO）的边带噪声电平决定了接收机的性能。也就是说，大的本振信号边带噪声电平会降低接收机的选择性和动态范围。为了达到接收机最好的性能要求，必须是本振信号的相位噪声达到最小。

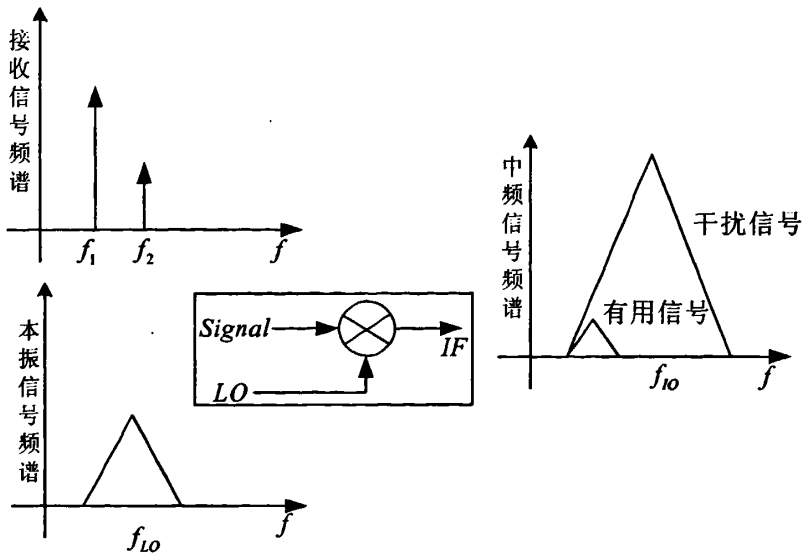


图 3-12 相位噪声对接收机的影响

3.2.3 杂散对接收机影响的分析

在实际的频率合成电路中还存在杂散的干扰。在反馈控制系统中杂散通常是鉴相器和分频电路产生的。杂散可以被定义为在振荡波形中系统时间的波动。图 3-13 给出了在时域范围和频域范围内的杂散的示意图。时域系统中，振荡波形中的系统时间的波动反映了定时周期的误差；频域系统中，杂散表现为明显不受欢迎的频谱分量^[25]。在理想情况下，振荡输出的频谱中心是一个单频率而并没有杂散分量。实际情况下，由于杂散会的存在，导致产生一些其他的频谱分量^[24]。

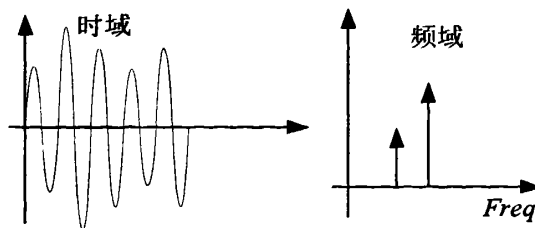


图 3-13 杂散的时域和频域表示图

在超外差接收机系统中可以很好的显示出杂散对无线接收系统的影响。图 3-14 中显示了在超外差接收机中接收信号从高频变换成中频的含有杂散频谱的

输出的示意图。

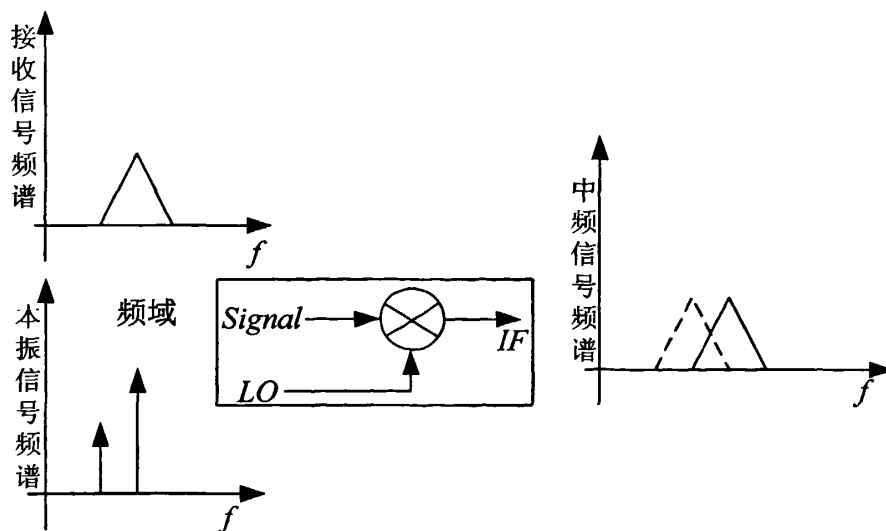


图 3-14 杂散对无线接收系统的影响

频率合成器是一种高质量的信号发生器。在通信设备中，它可以用作发射机的激励信号源，也可以作为接收机的本振信号源，或者可以单独用作无线电测量设备中的信号发生器等。在这些设备中，都要求频率合成器具有很低的相位噪声和很低的杂散扰^[26]。

任何信号的频谱都不是绝对的纯净的，而且或多或少的附带有随机性的相位噪声和周期性的杂散干扰。如果把不纯净的正弦信号作为接收机的本振信号时，这种随机性的相位噪声和杂散干扰的危害性更充分的暴露出来，严重时可能使通信中断，所以要尽量减小信号的相位噪声和杂散的干扰^[27]。

第 4 章 高精度 DDS 本振信号源的设计与实现

因为本课题的功能电路与相关部件较多, 为了便于研制期间的调试与最终的成品, 所以系统最后实现采用了模块化设计的思想, 即先把各个相关的电路与部件做成相互独立的分离模块, 而系统的功能则是通过各模块间的级联来完成的。下面将分别叙述各功能模块及其中所用到的器件、电路以及在系统设计、调试过程中应该注意的问题。

4.1 信号产生电路的设计

4.1.1 DDS 芯片的选取

DDS 电路是整个系统电路设计的核心之一。AD 公司的 DDS 产品逐渐成为一种取代传统的跳频模拟合成器解决方案。因此, 在本研究中选用 AD 公司的 AD*** 系列芯片作为该系统的核心芯片。其中 DAC 的位数、频率控制字的长短、内部时钟频率的高低对合成信号的质量有直接的影响。

DDS 芯片的选择是频率合成器系统设计的关键, 最终输出波形的质量取决于 DDS 所产生波形信号的性能。本振信号源关键的指标之一就是输出信号的频率范围。假设 DDS 的工作时钟频率是 f_{CLK} , 由于 DDS 是一个采样系统, 所以由奈奎斯特定理可知, 理论上 DDS 输出信号频率范围为 $0-50\% f_{CLK}$, 考虑到滤波器的特性和设计难度以及对输出信号杂散的抑制, DDS 实际输出频率范围可达: $0-40\% f_{CLK}$ 。另外输出频率相对 f_{CLK} 越低越好, 这样可以取得较低的噪声。

本振信号源的另一个关键指标是选择的 DDS 芯片的无杂散动态比(SFDR—Spurious-Free Dynamic Range)性能要好。相位截断误差带来的杂散分布和杂散大小情况与频率控制字 FCW、频率控制字字长 N、相位截断长度 B 有关。AD9953 的 DDS 内核具有 32Bit 的频率分辨率, 相位截断 15Bit 保证了优良的 SFDR 指标。

4.1.2 AD9953 的简介

AD9953 是高集成度 DDS 的器件。它内置高速、高性能 D/A 转换器, 是可用数字编程控制的频率合成器。AD9953 内含 1024×32 静态 RAM, 利用该 RAM 可实现高速调制, 并支持几种扫频模式。AD9953 可提供自定义的线性扫频操作模式,

通过 AD9953 的串行 I/O 口输入控制字可实现快速变频且具有良好的频率分辨率。其应用范围包括灵敏频率合成器、可编程时钟发生器、雷达和扫描系统的 FM 调制源以及测试和测量装置等^[28]。AD9953 的内部结构如图 4-1 所示，

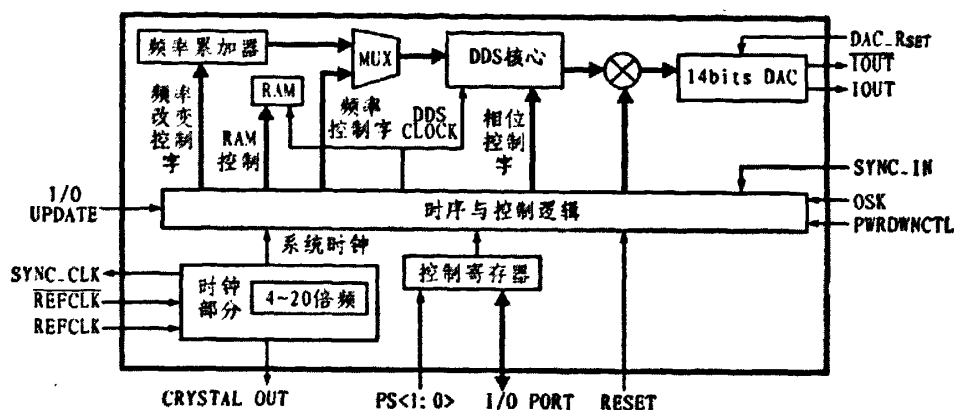


图 4-1 AD9953 的内部结构图

其主要特性如下：

(1) AD9953 的主要性能：

- 内置 400MSPS 时钟；
- 相位、幅度可编程；
- 可用串行 I/O 控制；
- 内部集成有 1024×32 位 RAM；
- 保证了 80dB @ 130MHz (+/- 100KHz Offset) 良好的 SFDR (Spurious-Free Dynamic Range) 特性；
- 可达到 -125dBc/Hz@1KHz 的相位噪声水平；
- 内含 14 位 DAC；
- 有 32 位频率转换字；
- 支持软件和硬件控制掉电；
- 可 4~20 倍倍频；

(2) AD9953 的管脚功能

AD9953 采用 48 脚 TQFP 封装，其引脚排列如图 4-2 所示，各引脚定义如下：

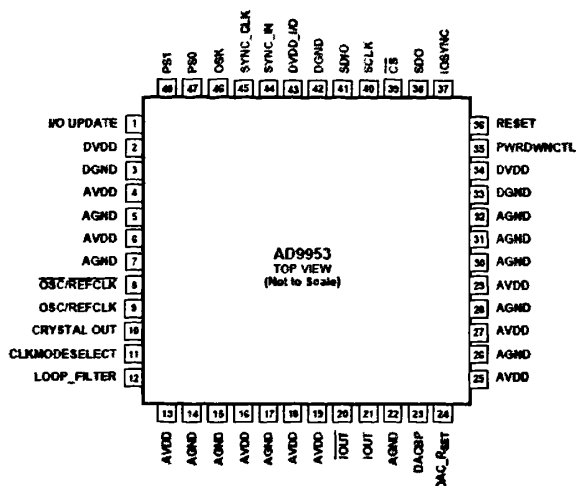


图 4-2 AD9953 芯片引脚定义

I/O UPDATE: 在该引脚的上升沿可把内部缓冲存储器中的内容送到 I/O 存储器中，引脚电平的建立和保持与 SYNC-CLK 输出信号有关；

DGND 和 AGND: 数字地与模拟地；

OSC/REFCLK 和 OSCB/REFCLKB: 参考时钟或振荡输入端；

CYRSTAL OUT: 振荡器输出端；

CLKMODESELECT: 振荡器控制端，为 1 时使能振荡器，为 0 时不使能振荡器；

LOOP_FILTER: 该引脚应与 AVDD 间串联一个 $1k\Omega$ 电阻和一个 $0.1\mu F$ 电容；

IOUTB 和 IOUT: DAC 输出端，使用时应接一个上接电阻；

DACBP: DAC 去耦端，使用时应接一个 $0.01\mu F$ 的旁路电容；

DAC_Rset: DAC 复位端，使用时应通过一个 $3.92k\Omega$ 的电阻接至 AGND 端；

PwrDwnCtl: 外部电源掉电控制输入引脚

RESET: 芯片复位端；

IOSYNC: 异步串行端口控制复位引脚；为 1 时，当前 I/O 操作立即停止；为 0 时开始新的 I/O 操作；不用时，此引脚必须接地；

SDO: 采用 3 线串口操作时，SDO 为串行数据输出端。采用 2 线串口操作时，SDO 不用，可以不连；

CS: 片选端，低电平有效，允许多芯片共用 I/O 总线；

SCLK: I/O 操作的串行数据时钟输入端；

SDIO: 采用 3 线串口操作时，SDO 为串行数据输入端，采用 2 线操作时，SDIO 为双向串行数据端。

DVDD_I/O: I/O 电源, 可以是 1.8V 或 3.3V;

SYNC_IN: 同步多片 AD9953 输入信号, 使用时与主 AD9953 的 SYNC_CLK 的输出相连;

SYNC_CLK: 时钟输出脚, 为内部时钟的 1/4, 可用作外围硬件同步;

OSK: 在编程操作时可用该引脚来控制幅度与时间斜率, 与 SYNC_CLK 同步; 当 OSK 不能被编程时, 此脚接 DGND;

PS1 和 PS0: 可用来选择 4 个 RAM 段控制字区中的一个。

(3) AD9953 的控制精度

AD9953 的频率控制字长为 32 位, 相位控制字长为 14 位, 外接 16MHz 的有源晶体, 内部进行 20 倍频操作, 由此可以计算出其输出信号可编程控制的频率精度 Δf 和相位精度 $P_{\min}$ 。分别为:

$$\Delta f = 320 \times 10^6 / 2^{32} = 0.0745 \text{ Hz} \quad (4-1)$$

$$P_{\min} = \pi / 2^{14} = 1.917 \times 10^{-4} \quad (4-2)$$

本节介绍了 AD9953 的基本特点和引脚功能, 分析了其内部结构和工作原理。由分析可知该 DDS 芯片能满足系统的设计要求, 因此采用该芯片作为信号发生器的核心器件。

4.1.3 AD9953 外围配置电路的设计

直接频率合成模块是整个系统的功能核心部分, 由此模块可产生所需的信号。本文采用的是 AD 公司的 AD9953 芯片。为使其产生所需的信号, 必须对它进行适当的设置。

(1) 内部控制寄存器

AD9953 内部具有两类寄存器: 数据寄存器和控制寄存器。数据寄存器主要有幅度寄存器(ASF), 幅度上升斜率寄存器(ARR), 频率转换字 0(FTW0), 频率转换字 1(FTW1), 相位偏移控制字(POW0), RAM 段控制寄存器 0(RSCW0), RAM 段控制寄存器 1(RSCW1), RAM 段控制寄存器 2(RSCW2), RAM 段控制寄存器 3(RSCW3)等。控制功能寄存器有 CFR1(Control Function Register No.1)和 CFR2(Control Function Register No.2)。

(2) 参考时钟

AD9953 内置 4-20 整数倍频器, 能把外部较低频率的参考时钟通过倍频转换成较高的参考时钟。本设计中采用一个 16MHz 的晶振, 在芯片内部经过 20

倍频产生 320MHz 的时钟信号。故要对 CFR1 和 CFR2 的相关位进行设置。为了使能倍频 CFR1<4>位和 CLKMODESELECT 需要置高, 因为系统进行 20 倍频, 故 CFR2<7: 3>取 10100。

(3) 频率相位和幅度控制

AD9953 内置了一些数据寄存器, 其中有些存放关于频率、相位、幅度的数据, 要输出所需信号的关键就在于写入这些寄存器中的值。

频率转换字 0(FTW0), 该寄存器共有 32 位, 用于控制相位累加器的增加速率。它的作用随着工作模式的不同而有所不同。

$$\text{当 } 0 \leq FTW \leq 2^{31} \text{ 时, } f_o = (FTW)(f_c)/2^{32} \quad (4-3)$$

$$\text{当 } 2^{31} \leq FTW \leq 2^{32} - 1 \text{ 时, } f_o = f_c \times (1 - (FTW/2^{32})) \quad (4-4)$$

其中, f_o 表示输出信号频率, f_c 为系统工作时钟, 单频工作时, 只要将 32 位的频率控制字写入 FTW0, 再更新脉冲, 信号就以新的频率输出。

相位偏移控制字(POW0), 该寄存器共有 14 位, 用于存储相位偏移值的大小。这个值与相位累加器的输出值相加以确定当前输出信号的相位偏移量。相位偏移量的计算公式如下:

$$\Phi = \left(\frac{POW}{2^{14}} \right) \times 360^\circ \quad (4-5)$$

单频工作时, 只要将 14 位的相位偏移控制字写入 POW0, 再更新脉冲, 信号就以新的相位输出。

幅度寄存器(ASF), 该寄存器共有 16 位, 由 2 位的频率自动变化斜率值和 14 位的 DAC 整形输出幅度范围组成。在自动 OSK (Output Shaped Keying) 操作模式下, ASF<15: 14>告诉 OSK 模块每一步的幅度增加或者减少的步长。ASF<13: 0>用于设置 OSK 内部乘法器的最大倍数。在手动 OSK 操作模式下, ASF<15: 14>无效, ASF<13: 0>直接提供 DAC 输出的范围。当 CFR<25>为 0 时, 这个寄存器无效。单频工作时, 只要将 14 位的幅度控制字写入 ASF, 再更新脉冲, 信号就以新的幅度输出^[31]。

幅度调节除写入控制字更改外, AD9953 还提供了硬件调节方法, 可以通过改变连接 DAC_ R_{SET} 引脚的电阻值以达到设定最大输出幅度。具体调节方法是: 根据公式

$$R_{SET} = 39.9 / I_{OUT} \quad (4-6)$$

调节 R_{SET} 来改变 I_{OUT} 。但这种方法无法精确设定幅度值, 在本设计中采用写入幅度控制字的方法, 10mA 输出电流提供最好的 SFDR 性能, 故在 DAC_ R_{SET} 引

脚连接 3.9kΩ 的负载接地。

(4) AD9953 的串行操作

在 AD9953 的串行操作中，指令字节用来指定读/写操作和寄存器地址。由于串行操作是在寄存器级别上发生的，因此串行端口控制器应能识别指令字节寄存器地址和自动产生适当的寄存器字节地址。在串行操作指令阶段和通信阶段，一般先传送指令阶段的指令字，指令阶段对应于 SCLK 的前 8 个上升沿，其对应的指令字（8 比特）包含了以下信息：

表 4-1 指令控制字

MSB	D6	D5	D4	D3	D2	D1	LSB
R/W	X	X	A4	A3	A2	A1	A0

其中 R/W 位用于决定指令字后的操作是读还是写，高电平为读出，低电平为写入；6、5 位的电平高低与操作无关；4~0 位则对应于 A4~A0，表示操作串行寄存器地址，该地址信息同时包含了与该指令字所在指令段对应的通信段的传送字节数。指令阶段后接着是通信阶段，传送对应于字节数的几个通信周期。

通信周期完成后，AD9953 的串口控制器即认为接下来的 8 个 SCLK 的上升沿对应的是下一个通信周期的指令字。IOSYNC 引脚为高时将立即终止当前的通信周期，而当 IOSYNC 引脚状态回到低电平时，AD9953 串口控制器即认为接下来的 8 个系统时钟的上升沿对应的是下一个通信周期的指令字，从而保持通信的同步。

AD9953 的串行操作有两种数据传送方式，即从最高位开始传送和从最低位开始传送，这是由控制寄存器 1 的第 8 位来决定的。默认状态为低电平，此时先传送最高位，若为高电平则先传送最低位。串行操作的读/写时序如图 4-3 或 4-4 所示。

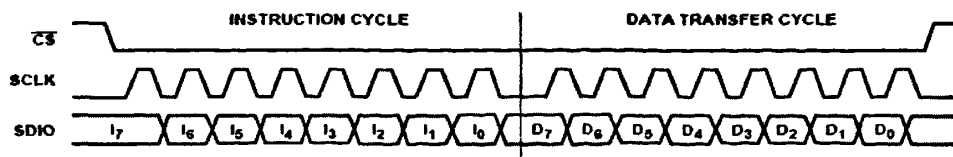


图 4-3 串行写时序

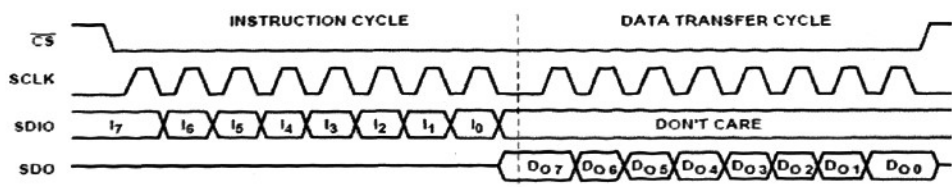


图 4-4 串行读时序

综上所述，所以 DDS 模块的实物图和原理图如图 4-5 和 4-6 所示：

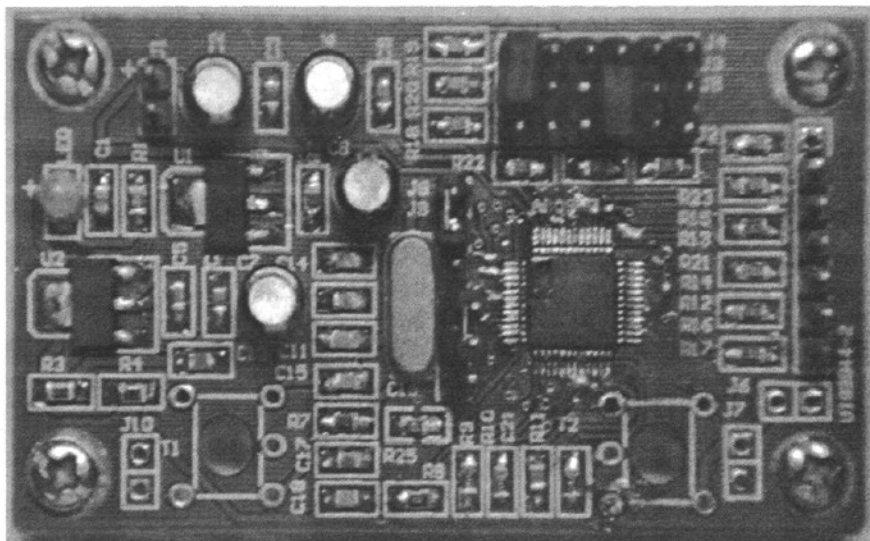


图 4-5 DDS 模块实物图

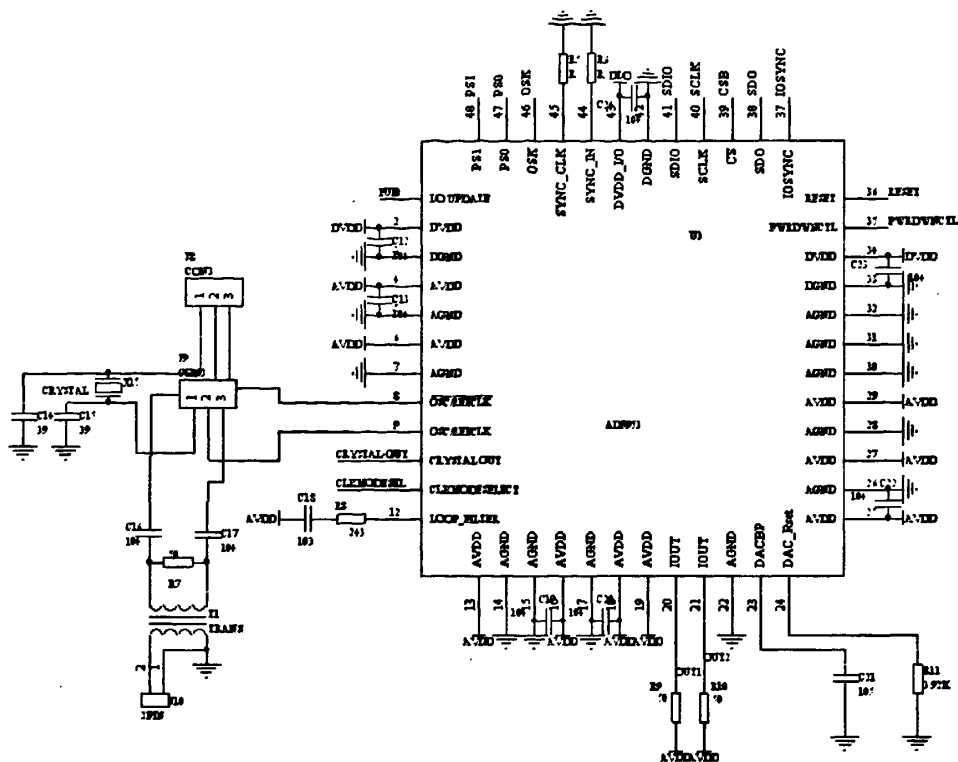


图 4-6 AD9953 的电路模块原理图

4.2 外围配置电路的设计

4.2.1 控制器的介绍

(1) 单片机的选取原则

可靠性高，功能强，速度快，功耗低和价位低是衡量单片机性能的重要指标，也是器件选择的一个标准。

AVR 单片机的推出，彻底打破了这种旧的设计格局，废除了机器周期，抛弃了复杂指令集 CPU(CISC)追求指令完备的做法，采用了精简指令集 RISC，性能方面大大优于 MCS51 系列单片机，是 8 位单片机中的佼佼者。而 ATmega128/128L 是 AVR 单片机中功能最强，性能最好的一款^[32]。

(2) ATmega128 的简介

ATmel 公司生产的 ATmega128 为基于 AVR RISC 结构的 8 位低功耗 CMOS 微处理器。使用的是非易失性的程序和数据存储器，具有 128K 字节的系统内可

编程 Flash 和 4K 字节的 EEPROM, Flash 能进行 10000 次写/擦除周期, 而 EEPROM 可进行 100000 次的写/擦除周期, 通过 JTAG 接口可实现对 Flash, EEPROM, 熔丝位和锁定位编程, 可以很方便的进行在线编程^[33]。ATmega128 还具有丰富的外设接口, 含有两个具有独立的预分频器和比较器功能的 8 位定时器/计数器, 两个具有预分频器、比较功能和捕捉功能的 16 位定时器/计数器; 具有独立预分频器的实时时钟计数器; 两路 8 位 PWM, 6 路分辨率可编程 (2 到 16 位) 的 PWM; 有输出比较调制器; 片内含有 8 路 10 位的 ADC 模数转换器, 具有 8 个单端通道, 7 个差分通道, 2 个具有可编程增益 (1×, 10×, 或 200×) 的差分通道; 面向字节的两线接口; 两个可编程的串行 USART; 还有可工作于主机/从机模式的 SPI 串行接口, 同时还具有独立片内振荡器的可编程看门狗定时器, 片内模拟比较器; 拥有多达 53 个的可编程 I/O 口; ATmega128 的数据吞吐率高达 1 MIPS, 从而可以缓减系统在功耗和处理速度之间的矛盾, 是一款高度集成的“片上系统”。

4.2.2 相关模块的设计

(1) 键盘输入模块

本系统因为需要设置输出波形、频率、幅度等参数, 而且监控程序需要菜单驱动, 所以需要设置键盘。键盘采用外接 4×4 软键盘, 使用软件扫描的方式获得按键信息, 因为按键需要去抖动, 这些都采用软件编程的方式实现, 这样可以节省硬件资源, 使电路变得简单。

(2) 液晶显示模块

本系统采用液晶屏型号是 YM160128, 它是一种图形点阵液晶显示器, 它主要由行驱动器/列驱动器及格 160×128 全点阵液晶显示器组成。可完成图形显示, 也可以显示 10×8 个 (16×16 点阵) 汉字。主要的技术参数和性能: 1) 模块内自带-15 负压, 用于 LCD 的驱动电压; 2) 电源 VDD: +5V; 3) 显示内容: 160 (列) × 128 (行) 点; 4) 全屏幕点阵; 5) 与 CPU 接口采用 8 位数据总线并行输入输出。液晶与单片机的接口电路如图 4-7 所示:

YM160128 的 D0~D7 与 ATmega128 的 PA 口相连, P10 端口 C/D 端口相连, P11 与 /RST 相连, P37 和 P36 分别与 RD 端口和 WR 端口相连, VDD 端口接 +5V 电源, 并且接一个 0.1 μF 的去耦电容接地。

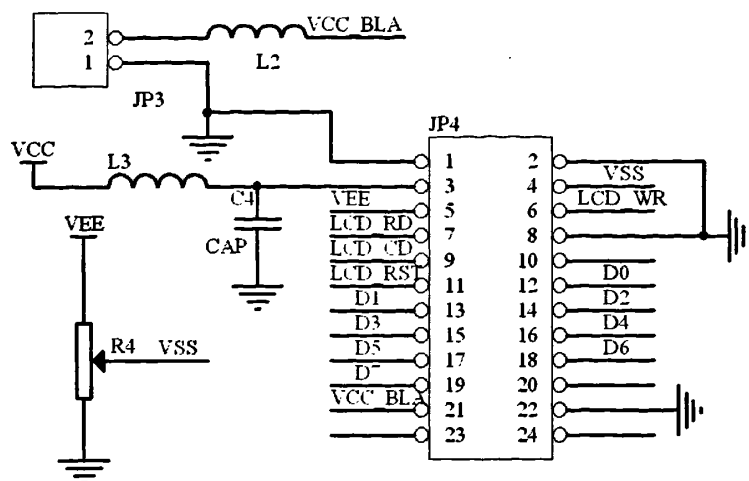


图 4-7 液晶显示接口电路

(3) 通信接口模块

RS-232 是目前最常用的串行接口标准,用于计算机与计算机之间,计算机与外设之间的数据通信。该标准的目的是定义数据终端设备之间的电气特性。RS-232 提供了单片机与单片机、单片机与 PC 机之间串行数据通信的标准接口,通信距离可达 15m^[34]。

本系统采用 MAXIM 公司的 MAX232 来完成通信功能。MAX232 芯片包含两路接收器和驱动器,内部有一个电源电压转换器,可以把输入的+5V 电压变换为 RS-232 输出电平所需的-10~+10V 电压。所以采用此芯片接口,串行通信系统只需单一的+5 V 电源就可以了^[35]。具体实现电路如图 4-8 所。

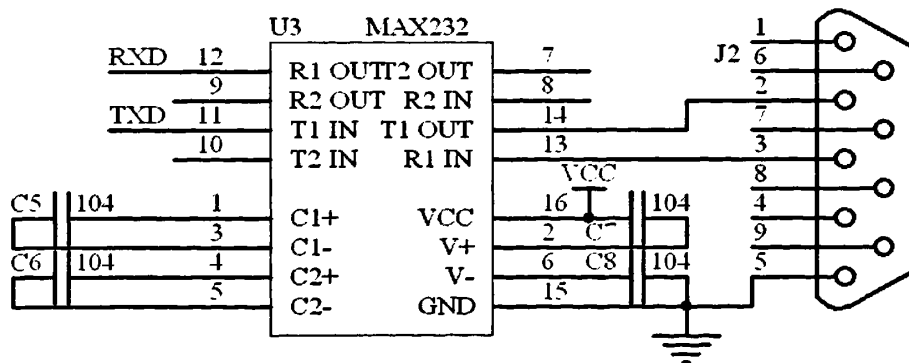


图 4-8 串口通信电路

4.3 系统软件的设计

4.3.1 主模块的软件设计

程序开始后,运行初始化程序,包括初始化单片机 ATmega128、初始化 AD9953、初始化液晶显示模块等。然后扫描键盘状态,检查到有键按下就运行键值处理程序,对按键值进行查表处理,然后执行相应的子程序。输入的信号相关信息通过运行液晶显示程序,在 LCD 上显示正确的输入数据和提示字符。在按下执行键后,ATmega128 计算出所需信号的数据或控制命令,将其传送到 AD9953,输出最终信号。接下来返回主程序,继续扫描键盘,等待下一次命令的输入。

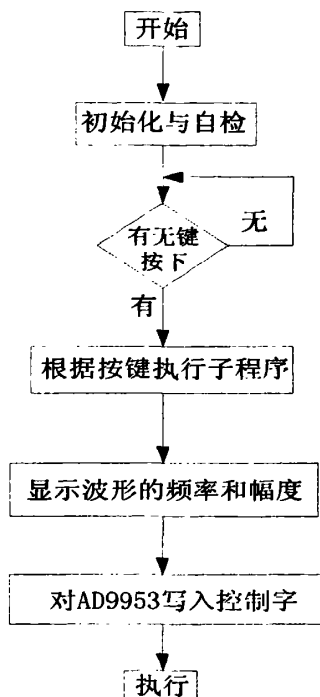


图 4-9 系统主监控程序流程

4.3.2 信号产生的软件设计

在信号产生的软件设计中,ATmega128 根据用户输入的频率、幅度要求,将计算出的频率控制字和幅度控制字传送给 AD9953,由 AD9953 产生频率幅度可控的信号。DDS 作为一种信号源,由外部送入的 32 位的频率控制字在 AD9953 内部的 DDS 核进行频率合成,合成后的信号通过幅度控制,最终由 14 位 DAC 将数字信号转换成模拟信号输出。

AD9953 片内的串行口地址为 0x04 和 0x06 单元分别存放 32 位的频率控制字 1 和频率控制字 2,它决定了输出信号可编程控制的频率精度即最低频率 f_{MIN}

为：

$$f_{MIN} = 320 \times 10^6 / 2^{32} = 0.0745 \text{Hz} \quad (4-7)$$

要产生不同频率的波形，首先根据用户输入的频率要求计算出相应的频率控制字，计算公式为： $W_{FC} = (f \times 2^N) / f_{CLK}$ (4-8)

其中 W_{FC} 为频率控制字， f 为所需频率， f_{CLK} 为时钟频率， N 为相位累加器的位数，此处为 32。本系统中 AD9953 时钟频率 $f_{CLK} = 320\text{MHz}$ ，当需要输出频率 $f = 60\text{MHz}$ 时，相应的频率控制字为

$$W_{FC} = \frac{60 \times 10^6 \times 2^{32}}{320 \times 10^6} = \frac{3938700 \times 100000000}{1312D000} \quad (4-9)$$

为方便编程计算，要先进行一些处理。由于 f_{CLK} 和 2^{32} 为固定值，所以先对 f_{CLK} 和 2^{32} 进行计算。由于 2^{32} 值超出 32 位，不方便计算，故把 100000000H 也相应地右移 4 位，得 10000000H，把 1312D000H 也相应地右移 4 位，得 1312D00H。这时再进行除法运算，即 10000000H/1312D00H，得 D6H。这是一个固定值，当输入所需频率时，只需将所需频率与 D6H 相乘，便得频率控制字的值。如下式：

$$W_{FC} = f \cdot \frac{10000000}{1312D00} = f \times D6 \quad (4-10)$$

然后将这 32 位的频率控制字分批传送到 AD9953 内部的 DDS 核进行频率合成。AD9953 的 I/O 端口数据首先送到一个缓冲寄存器，而不直接影响信号的输出。当产生一个更新脉冲后，数据才被传送到相应寄存器中。然后根据需要配置 AD9953 的 CFR1、CFR2、FTW0 和 POW0。给 I/O UPDATE 引脚一个上升沿之后，系统即可输出与 FTW0 对应频率的单频信号。

第 5 章 跟踪滤波器的设计与实现

全数字结构使 DDS 有两点不足：一是输出信号的杂散比较大，二是输出信号的带宽受到限制^[39]。杂散是 DDS 本身所固有的缺点。且随着输出带宽的扩展，相位噪声和杂散将越来越明显地成为抑制 DDS 发展地重要因素。因此我们要采取一些措施来降低系统的相位噪声和杂散。传统的滤波方案不能有效的抑制相位噪声和杂散。本章给一种能有效滤除相位噪声和杂散的滤波器—跟踪滤波器的设计和实现。

5.1 跟踪滤波器的设计

在信号检测中,测量的信号无可避免地含有大量的噪声,中心频率不能改变的滤波器即使在理想状态下,也仅能消除某一特定频率的噪声,不能很好地消除频率变化的噪声。跟踪滤波器就是使被跟踪频率的信号在通过滤波器时,使滤波器的中心频率始终与外部被测频率同步,同时使其他成分受到衰减,进而达到有效滤除信号的噪声和杂散,提高输出信号频率稳定的目的。

5.1.1 放大电路的分析

在实践中,放大电路的用途是非常广泛的,它能够利用 BJT 的电流控制作用把微弱的电信号增强到所要求的数值。常见的放大电路的基本形式有 3 种:共发射极放大电路,共基极放大电路和共集电极放大电路。在构成多级放大器时,这几种电路常常需要相互组合使用。

晶体管单管的三种放大电路的特点归纳如下:

(1) 共射电路既能放大电流又能放大电压,输入电阻在三种电路中居中,输出电阻较大,频带较窄。常作为低频电压放大电路的单元电路。

(2) 共集电路只能放大电流不能放大电压,是三种放大电路中输入电阻最大,输出电阻最小的电路,并且具有电压跟随的特点。常用于电压放大电路的输入级和输出级,在功率放大电路中也只采用射极输出的形式。

(3) 共基电路只能放大电压不能放大电流,输入电阻小,电压放大倍数和输出电阻与共射电路相当,频率特性是三种电路最好的,常用于宽频放大电路。

晶体管的特性曲线是用来描述管子内部电压、电流的关系，而晶体管的参数是用数学形式表示管子内部电压、电流微变量的关系^[40]。晶体管是一个有源双口网络，它可以采用 H 参数，也可以采用 Z 参数或 Y 参数来进行分析。H 参数是一种混合参数，它的测量的条件容易满足，加上它在低频范围内为实数，所以在电路分析和设计上都比较方便。

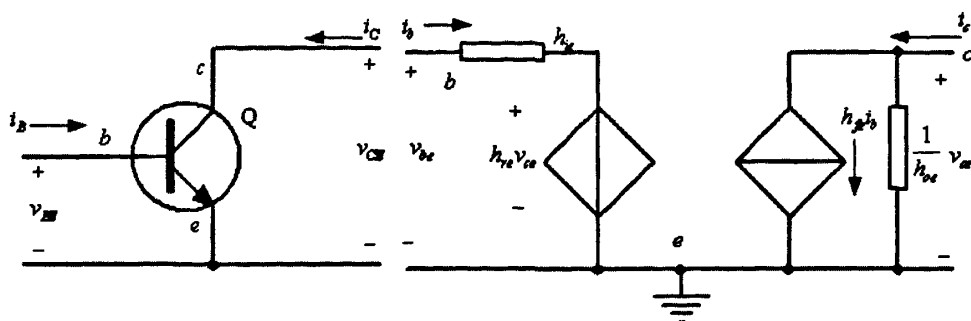


图 5-1 BJT 的 H 参数及小信号模型

共射极放大电路的输入回路和输出回路电压、电流的关系可以分别表示为：

$$\begin{aligned} v_{BE} &= f_1(i_B, v_{CE}) \\ i_C &= f_2(i_B, v_{CE}) \end{aligned} \quad (5-1)$$

假定 BJT 是在小信号下工作，考虑电压、电流的微变关系，对上面式取全微分，得：

$$dv_{BE} = \left. \frac{\partial v_{BE}}{\partial i_B} \right|_{v_{CE}} di_B + \left. \frac{\partial v_{BE}}{\partial v_{CE}} \right|_{i_B} dv_{CE} \quad (5-2)$$

$$di_C = \left. \frac{\partial i_C}{\partial i_B} \right|_{v_{CE}} di_B + \left. \frac{\partial i_C}{\partial v_{CE}} \right|_{i_B} dv_{CE} \quad (5-3)$$

式中 dv_{BE} 、 dv_{CE} 及 di_B 、 di_C 表示无限小的信号增量。假定在小信号的作用下，即电压、电流的变化没有超过特性曲线的线性范围时，无限小的信号增量就可以用有限的增量来代替，也就是可以用电压、电流的交流分量来代替这样可以把式 (5-2) 和式 (5-3) 写成下列形式：

$$v_{be} = h_{ie} i_b + h_{re} v_{ce} \quad (5-4)$$

$$i_c = h_{fe} i_b + h_{oe} v_{ce} \quad (5-5)$$

式中 h_{ie} 、 h_{re} 、 h_{fe} 、 h_{oe} 称为 BJT 在共射极下的 H 参数

h_{ie} ：输出端交流短路时的输入电阻； h_{re} ：输出端交流短路时的正向电流传输比； h_{fe} ：输入端交流开路时的反向电压传输比； h_{oe} ：输入端交流开路时的输出电导。

(1) 用 H 参数小信号模型分析共射极放大电路

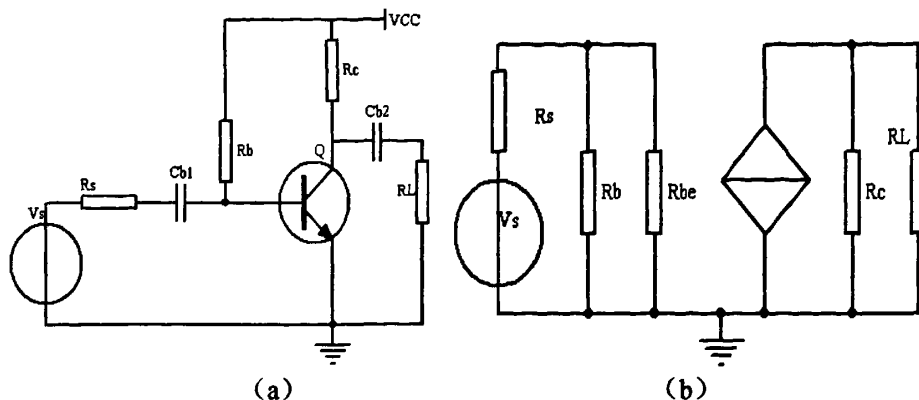


图 5-2 共射极基本放大电路

(a) 电路图 (b) 小信号等效电路

画出小信号等效电路了，就可以采用线性电路的方法

$$I_b = \frac{V_i}{r_{be}}; I_c = \beta I_b; V_o = -I_c R_L'; R_L' = R_c \parallel R_L$$

$$A_v = \frac{V_o}{V_i} = \frac{-I_c R_L'}{I_b r_{be}} = \frac{-\beta I_b R_L'}{I_b r_{be}} = -\beta \frac{R_L'}{r_{be}} \quad (5-6)$$

(2) 用 H 参数小信号模型分析共基极放大电路

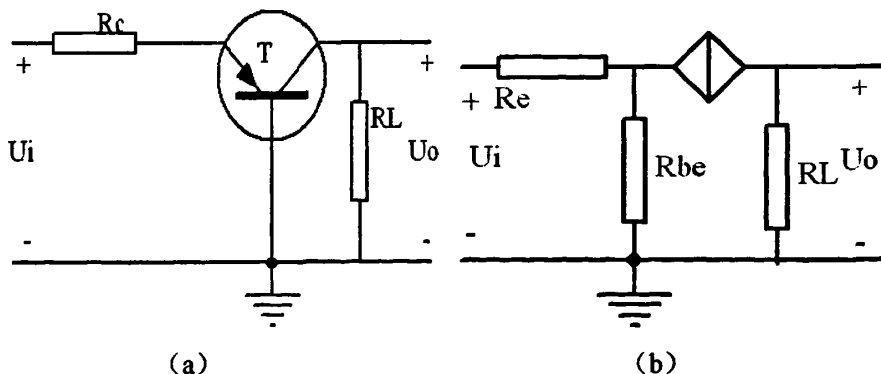


图 5-3 共基极放大电路

(a) 交流通路 (b) 小信号等效电路

图 5-3 所示为基本共基放大电路，其交流通路如图 5-3 (a) 所示，可以看出输入回路与输出回路的公共端为基极。令 $U_i = 0$ ；发射极电位 $U_{EQ} = -U_{BE}$ ，集电极电位 $U_{CQ} = V_{cc} - I_{CQ} R_c$ ，可以得出静态工作点：

$$I_{EQ} = \frac{V_{BB} - U_{BEQ}}{R_e} ; I_{BQ} = \frac{I_{EQ}}{1 + \beta} ; U_{CEQ} = U_{CQ} - U_{EQ} = V_{CC} - I_{CQ}R_C + U_{BEQ} \quad (5-7)$$

用晶体管的 H 参数等效模型取代图 5-3 中(a)，可以得出 (b) 所示的交流等效电路。

$$A_u = \frac{U_o}{U_i} = \frac{I_c R_c}{I_e R_e + I_b r_{be}} = \frac{\beta R_c}{r_{be} + (1 + \beta) R_e} \quad (5-8)$$

$$R_i = \frac{U_i}{I_i} = \frac{U_i}{I_e} = \frac{I_e R_e + I_b r_{be}}{I_e} = R_e + \frac{r_{be}}{1 + \beta} \quad (5-9)$$

$$R_o = R_c \quad (5-10)$$

由于共基放大电路的输入回路电流为 i_e ，而输出回路的电流为 i_c ，所以无电流放大能力。而当 $R_e = 0$ 时，电压放大倍数与阻容耦合共射放大电路的数值相同，均为 $\beta R_c / r_{be}$ ，所以有足够的电压放大能力，从而实现功率的放大。此外，共基放大电路的输出电压与输入电压相同；输入电阻较共射电路小，输出电阻与共射电路相当，均为 R_c 。共基放大电路最大的优点是频带宽^[41]。

由于晶体管存在着 y_{re} 的反馈，所以它是一个“双向元件”。作为放大器工作时， y_{re} 的反馈作用是有害的，其有害是可能引起放大器工作的不稳定。消除 y_{re} 的反馈，变“双向元件”为“单向元件”，这个过程叫做单向化。常见的单向化得方法有两种：一是消除 y_{re} 的反馈作用，称为“中和法”；另一种方法是使负载电导或信号源电导的数值加大，因而使得输入或输出回路与晶体管失去匹配，称为“失配法”。

中和法是在晶体管的输入和输出端之间引入一个附加的外部反馈电路，以抵消晶体管内部 y_{re} 的反馈作用的干扰^[42]。但是中和法是很难达到效果的，因为晶体管的反向传输导纳 y_{re} 是随着频率变化的，因而只能对一个频率起到完全中和的作用。失配法是指信号源内阻不与晶体管输入阻抗匹配；晶体管输出端负载不与本级晶体管的输出阻抗匹配。实际操作中，常常采用失配法来变“双向元件”为“单向元件”。

5.1.2 跟踪滤波器的设计

为了从 DDS 电路中获得带宽理想的本振信号输出，除了 DDS 芯片内部 D/A 转换器本身的性能起作用外，输出部分的滤波电路也至关重要合理地应用它可以极大地提高输出信号中频谱的纯度，增大 SFDR(无杂散动态范围)，以及降低

信号的边带噪声。

跟踪滤波器的设计就是基于共发一共基电路的基础之上的，共发一共基电路由两个晶体管组成级联电路，前一级是共发电路，后一级是共基电路。由于共基电路的特点是输入阻抗很低和输出阻抗很高，当它和共发电路连接时，相当于共发放大器的负载导纳很大，因此晶体管内部反馈的影响相应的减弱，甚至可以不考虑内部反馈的影响，因此放大器的稳定性就可以得到提高，所以共发一共基级联放大器的稳定性比一般的共发放大器要稳定性高。共发级在负载导纳很大的情况下，虽然电压增益很小，但电流增益仍较大，而共基级虽然电流增益接近 1，但电压增益却较大，因此级联后功率增益较大。

下图 5-4 给出了跟踪滤波器的设计图，该电路主要是由两个 NPN 型三极管组成的共射-共基型放大电路。下面给出了电路的具体分析。

确定回路的静态工作点 Q，假设三极管的电流放大系数都是 β ，对于第一级放大电路而言有以下等式成立：

$$V_{BQ1} = V_{cc} \frac{R_3}{R_2 + R_3} \quad (5-9)$$

$$I_{EQ1} = \frac{V_{BQ1} - V_{BEQ1}}{R_5 + R_6} \quad (5-10)$$

$$I_{CQ} = \frac{\beta}{1 + \beta} I_{EQ} \quad (5-12)$$

$$V_{CE1} = V_{CC} - I_{CQ} R_4 - (V_{BQ1} - V_{BEQ1}) \quad (5-13)$$

根据等式： $r_{be} = r_b + (1 + \beta)r_e \approx r_b + (1 + \beta) \frac{26mV}{I_{EQ1}}$ 有，第一级共发放大电路的

放大倍数为：

$$A_{u1} = \frac{U_o}{U_i} = \frac{-\beta R_{L1}}{r_{be1}} = \frac{-\beta R_{L1}}{r_b + (1 + \beta) \frac{26mV}{I_{EQ1}}} \quad (5-14)$$

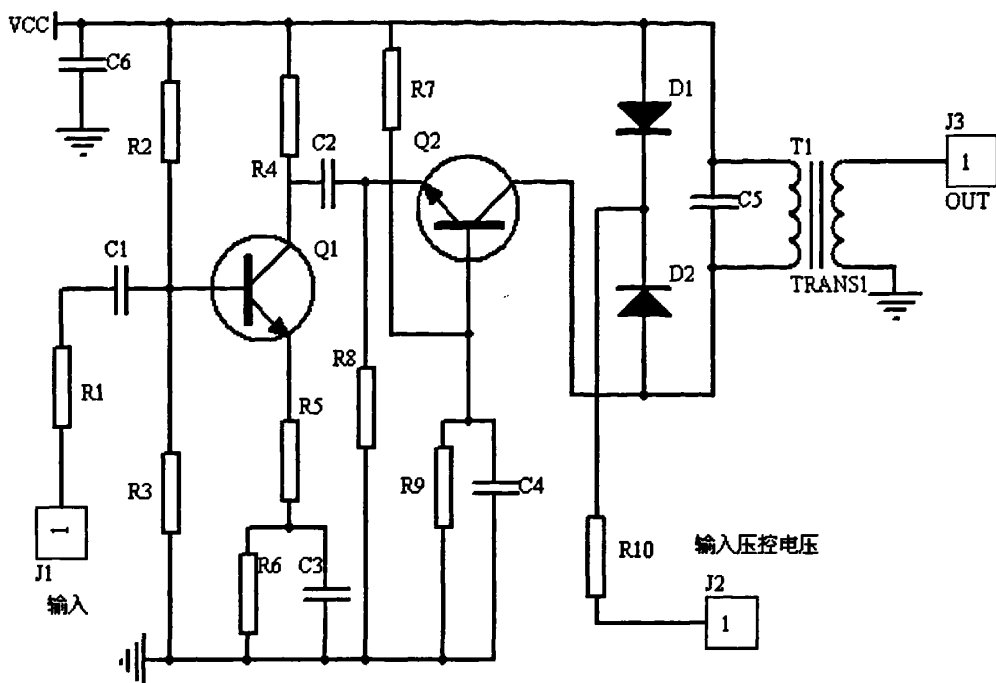


图 5-4 跟踪滤波器的原理图

图 5-5 给出了跟踪滤波器的交流等效电路和小信号等效电路：

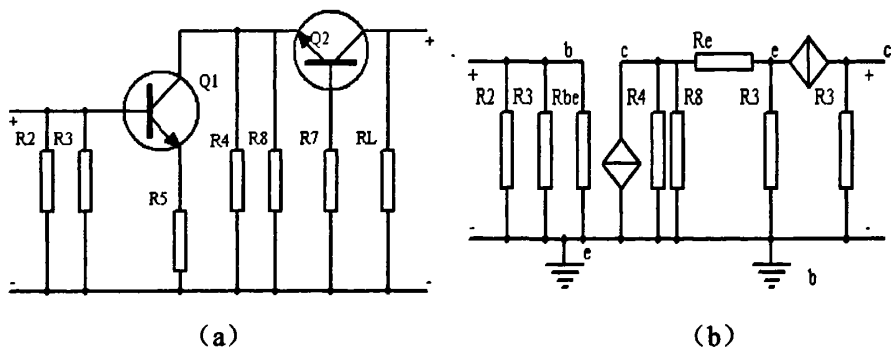


图 5-5 跟踪滤波器的等效电路

(a) 跟踪滤波器的交流等效电路

(b) 跟踪滤波器的小信号等效电路

对于第二级放大电路有：

$$V_{BQ2} = V_{cc} \frac{R_9}{R_7 + R_9} \quad (5-15)$$

$$I_{CQ2} \approx I_{E2} \approx \frac{V_{BQ2}}{R_7} \quad (5-16)$$

$$I_{BQ2} = \frac{I_{CQ2}}{\beta} \quad (5-17)$$

$$\text{第二级放大电路的放大倍数为: } A_{u2} = \frac{U_o}{U_i} = \frac{\beta R_{L2}'}{r_{be2}} \quad (5-18)$$

$$\text{其中, } R_{L1}' = \frac{r_{be2}}{\beta}, \text{ 所以回路的放大倍数为: } A_u = A_{u1} A_{u2} = -\frac{\beta R_{L2}'}{r_b + (1 + \beta) R_s}$$

在任何一个元件（呈电阻性）上耗散的功率等于通过该元件的电流与该元件两端的电压的乘积。因此，晶体管的集电极耗散功率在任何瞬间总是等于瞬时集电极电压 v_c 与集电极电流 i_c 的乘积^[43]。如果使 i_c 只有在 v_c 最低的时候才能通过，那么，集电极的耗散功率将会大为减小。

假设图 5-2 中电路回路的 $Q = \frac{\omega L}{R} = 10$ ，并联谐振阻抗为：

$$(Z_p)_\omega = R_p = p^2 \frac{\omega L}{R} = p^2 Q \omega L \quad (5-7)$$

对于谐波 $n\omega$ 的阻抗为：

$$(Z_p)_{n\omega} = p^2 \frac{(R + jn\omega L) \frac{1}{jn\omega C}}{R + j(n\omega L - \frac{1}{n\omega C})} \quad (5-8)$$

此处 p 为介入系数。

由于 $Q = \frac{\omega L}{R} = 10$ 远大于 1，因此 $n\omega L$ 远大于 R ，同时 $\omega^2 LC = 1$ ，于是式 (5-8)

可简化为

$$\begin{aligned} (Z_p)_{n\omega} &\approx p^2 \frac{n\omega L}{jn\omega C(n\omega L - \frac{1}{n\omega C})} = -jp^2 \frac{n}{(n^2 - 1)Q} (Q\omega L) \\ &= -jp^2 \frac{n}{(n^2 - 1)Q} (Z_p)_\omega \end{aligned} \quad (5-9)$$

由此可知，回路对高次谐波呈电容性阻抗。它的绝对值与基频谐振阻抗的比值

$$\text{等于: } \left| \frac{(Z_p)_{n\omega}}{(Z_p)_\omega} \right| = \frac{n}{(n^2 - 1)Q} \quad (5-10)$$

由于 $Q = \frac{\omega L}{R} = 10$ ，因此，当 $n=2, 3, 4, 5$ 等数值时

$$\left| \frac{(Z_p)_{2\omega}}{(Z_p)_\omega} \right| = \frac{2}{(4-1)10} = \frac{1}{15} = 0.0667$$

$$\left| \frac{(Z_p)_{3\omega}}{(Z_p)_\omega} \right| = \frac{3}{(9-1)10} = \frac{3}{80} = 0.0375$$

$$\left| \frac{(Z_p)_{4\omega}}{(Z_p)_\omega} \right| = \frac{4}{(16-1)10} = \frac{2}{75} = 0.0267$$

$$\left| \frac{(Z_p)_{5\omega}}{(Z_p)_\omega} \right| = \frac{5}{(25-1)10} = \frac{1}{48} = 0.0208$$

由此可见，回路阻抗对于各次谐波来说，它们的值与谐振于基频之值相比，小到可以忽略的程度（仅为百分之几），可以认为是短路的。

综上所述，本课题的设计中采用三极管组成的放大跟踪滤波电路，将共射电路和共基电路组合在一起，既能保持共射放大电路的电压放大能力较强的优点，又能获得共基放大电路较好的高频特性^[44]。根据上述理论公式的计算分析，三极管组成的放大跟踪滤波电路可以有效的滤除 DDS 输出信号的噪声和杂散的干扰，并且可以有效的抑制谐波分量的频率，是输出的本振信号的频率稳定。

5.1.3 跟踪滤波器的实现

根据确定的系统方案，可以画出详细的电路原理图，接下来就是进行 PCB 印制板的设计。PCB 设计要考虑如何降低噪声、减少相互干扰及 EMC（电磁兼容）的问题，对本次设计，硬件被分为两个部分：本振信号源模块和跟踪滤波器部分。

信号源是一个模拟和数字混合系统，所以电容包括模拟电路和数字电路两部分。数字电路因其相对较高的速度和较大的电流，所以产生较大的噪声，如果这些噪声影响到模拟部分的工作，将严重影响模拟部分的工作精度，所以必须采取隔离方法，将模拟和数字部分分开，分别进行设计。对于电源，采用模拟和数字电源分开供给的方法，并采用 50mil 的线宽以保证提供大的电流。在布线方面，模拟地和数字地分开铺设，只在一点相连，从而保证相互间干扰最小。另外对于布线之外的空间，实现大面积铺地，这样可以在一定程度上起到抑制噪声的作用。

图 5-6 是本次设计跟踪滤波器模块的实物图：

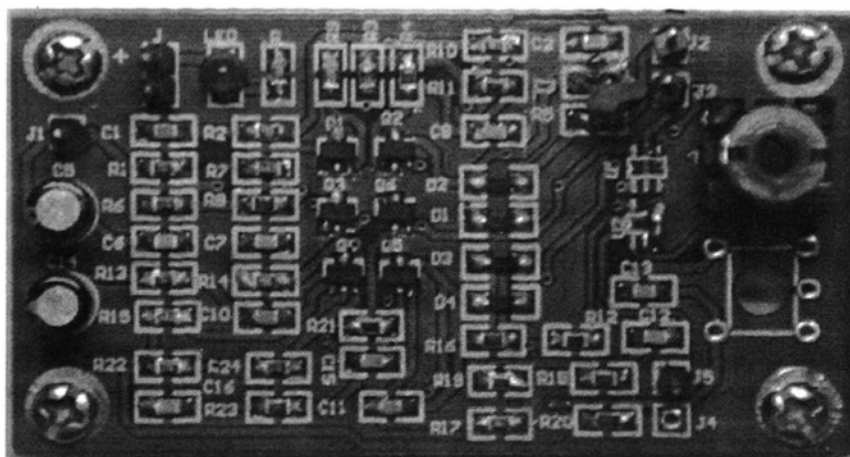


图 5-6 跟踪滤波器模块实物图

5.2 频率稳定度的测量与实验结果

5.2.1 频率稳定度的测量

频率准确度是表明信号源工作频率偏离标称频率的程度。如振荡器的标称频率为 f ，实际频率为 f_x ，则频率准确度的定义为

$$A = \frac{f_x - f}{f} \quad (5-11)$$

所谓频率稳定度是指在指定时间间隔内，振荡器频率准确度的变化，有下列三种形式：

- (1) 系统漂移：系统漂移是一种有规律的极为缓慢的变化。常用每小时、每天、每月甚至每年由 $n \times 10^{-x}$ 表示。故有时也称之为长期频率稳定度。
- (2) 周期性变化：当对振荡器的输出频率或相位进行测量时，常发现周期信号的调制，这种周期信号来自电源地基波及其谐波。在某些情况下，温度、振动和压力等环境因素所引起的调频也会产生这种周期性的变化。
- (3) 随机起伏：振荡器输出的频率或相位，存在着随机波动。在测量过程中，所采用的采样时间越短，其表现越明显。它主要是由振荡器内部的热噪声、散弹噪声、闪变噪声，输出电路的附加噪声等变化所引起的，随机起伏也称之为“短期频率稳定度”。

影响信号源的频率稳定度特性主要是随机噪声，它具有随机过程的基本特

征，按平稳随机过程处理，其统计方法可以再时域上进行，是建立在本振信号源的幂频谱噪声模型之上的。

频率稳定度的时域测量如图 5-7 所示。被测的本振信号与参考高稳信源经低噪声混频器差拍，混出的差拍信号再经过低通滤波器和放大后，通过脉冲形成电路产生一个前沿很陡、幅度很大的脉冲信号，由计数器来测量周期，实现测量信号的频率稳定度，由式 5-12 来计算。

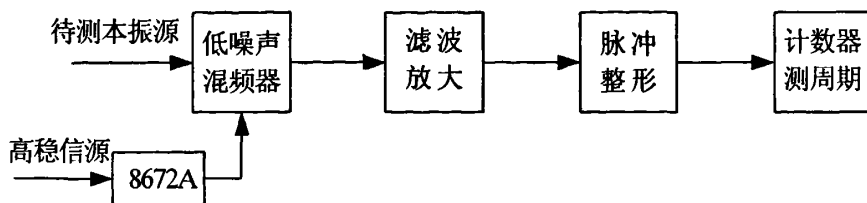


图 5-7 差拍法测量时域频率稳定度

$$\sigma_y(\tau) = \frac{v_b \cdot \Delta\tau}{v_0 NT_b} \quad (5-12)$$

式中： v_0 、 v_b ——信号的载频和拍频频率；

N ——周期倍乘数；

T_b ——拍频周期，即 $T_b = \frac{1}{v_b}$ ；

$\Delta\tau$ ——用计数器测量 $\tau = NT_b$ 的随机变化量，用阿仑方差根处理。

得

$$\sigma_y(\tau) = \frac{v_b}{v_0} \cdot \frac{\sqrt{\sum_{i=1}^m (\tau_{i+1} - \tau_i)^2}}{NT_b} \quad (5-13)$$

当采用高稳信源作标准源时，测得时域频率稳定度指标如表 5-2。

表 5-1 时域频率稳定度

$\tau(s)$	$\tau(0.01)$	$\tau(0.1)$	$\tau(1)$
$\sigma_y(\tau)$	9.231×10^{-8}	1.391×10^{-8}	8.548×10^{-9}

5.2.2 实验结果

电路调试正常之后，我们对输出图形、频率及信号频谱分别进行了测试，

使用的仪器有：

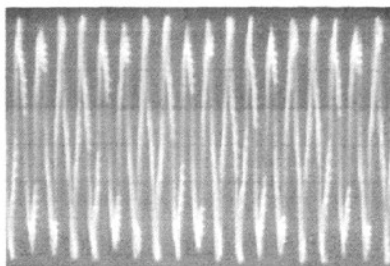
示波器：VP-5520B 示波器，频率范围 DC~250MHz

频率计：FC2002 掌上型计频器，频率范围 10Hz—3GHz

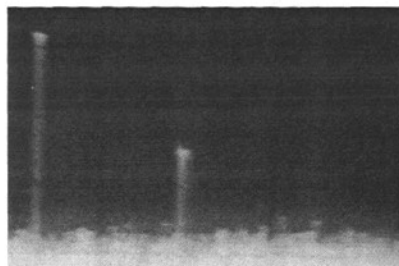
频谱仪：HP8554B，频率范围覆盖 100KHz—1250MHz

由于输出信号频率较高时，容易受到探头的寄生电容的影响，故以下测量都是在测试探头处于 $\times 10$ 的情况下进行的，尽量降低对输出信号的影响。

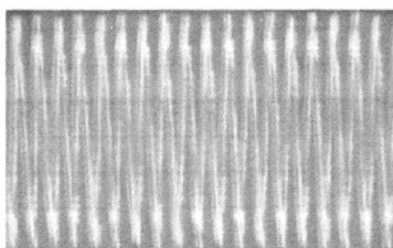
下面给出 DDS 直接输出信号的波形图和频谱图。



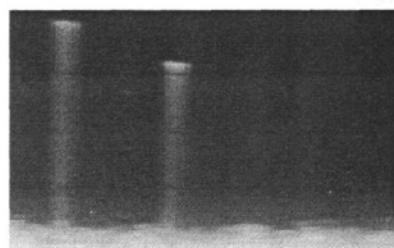
46.5MHz 时波形



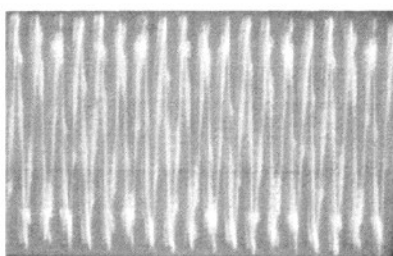
46.5MHz 时的频谱



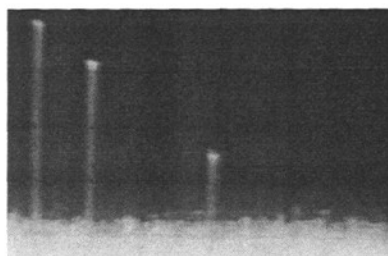
60MHz 时波形



60MHz 时的频谱



75MHz 时波形

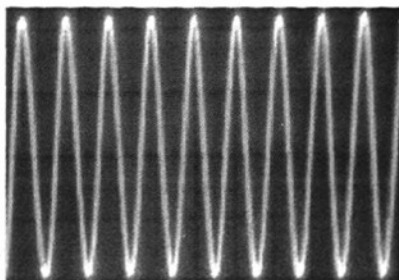


75MHz 时的频谱

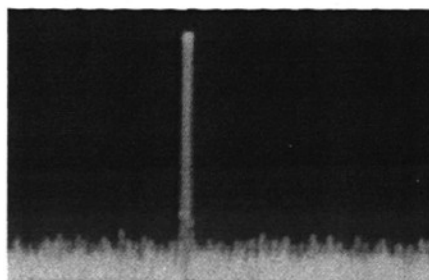
图 5-7 DDS 直接输出的波形图和频谱图

从上面的频谱图中可以看出输出信号的频谱分量，包括其中的杂散分量，幅度最大的一条谱线就是有用信号分量，其它谱线均为杂散分量。可以看出大

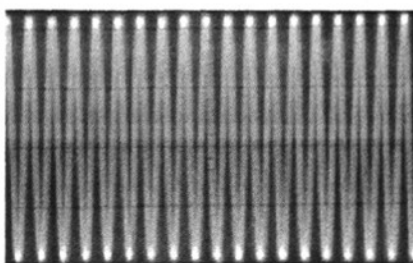
部分的杂散分量均为输出频率的倍频量，此外还包括其它的组合频率分量，不过相对来说较小，要提高输出信号信噪比应首先滤掉这些倍频分量，但又要兼顾到所有可能的输出频率，可见选择一个性能合适的滤波器是很重要的。下面给出经过跟踪滤波器后输出信号的波形与频谱。



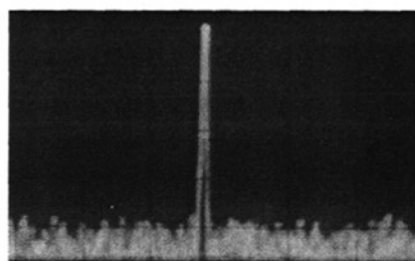
滤波后 46.5MHz 时波形



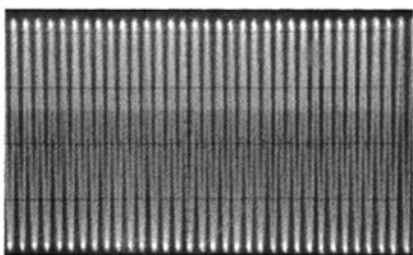
滤波后 46.5MHz 时的频谱



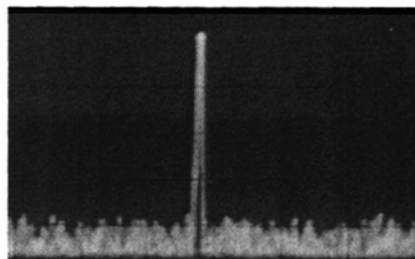
滤波后 60MHz 时波形



滤波后 60MHz 时的频谱



滤波后 75MHz 时波形



滤波后 75MHz 时的频谱

图 5-8 跟踪滤波器输出的波形图和频谱图

从上面的波形图中可以看出，经过跟踪滤波器后输出的波形稳定，精确度高。从频谱图中可以看出，频率合成信号经过跟踪滤波器后，含有的一些杂散分量都被滤掉，得到的都是有用信号的谱线。根据上面给出的频率稳定度的测量方法可测出该本振信号源的频率稳定度可达 4.76×10^{-8} 。

第 6 章 总结与展望

6.1 总结

短波接收机前端是短波无线电通信的核心部分，而本振信号是短波接收机中不可缺少的部分，频率合成是产生本振信号最有效的办法。直接数字频率合成具有频率分辨率高、频率切换速度快、相位噪声低、频率稳定度高等优点。

本文在前人的基础上，对直接数字频率合成技术及其杂散抑制进行了较为深入的研究，并在深入研究系统原理的基础上进行了基于 DDS 本振信号发生器的设计和实现，主要研究内容及成果包括以下几个方面：

(1) 分析了多种实现本振信号发生器的原理，提出了本基于 DDS 的本振信号发生器的技术方案，并对 DDS 的原理进行了详细的介绍。

(2) 本文详细介绍了本振信号对短波接收机的影响，重点分析了本振信号的相位噪声和杂散对接收机的影响。

(3) 本文采用 DDS 芯片 AD9953 为信号产生芯片，单片机为控制器，配合外围 I/O 器件，重点介绍了跟踪滤波器的设计，并给出了具体实现方案。

(4) 最后给出硬件实物照片和测试结果，并对此作了一定的分析。

6.2 展望

尽管频率合成技术已经经历了大半个世纪的发展史，但直到今天，人们对它的研究仍然在继续。电子技术的发展已进入数字时代，模拟信号数字化的方法也是目前一个热门研究课题，高速 AD、DA 器件在通信、广播电视等领域的应用越来越广泛。

作为一个实用性的课题，本人深深感到，一个好的电路设计依赖于对部件、器件工作原理及其特性的深入了解，且需要完美的工艺措施予以保证。而细致正确的调试必不可少，正确的测量更是系统性能与指标的依据。所有这些方面，本人虽竭尽全力，仍深感学识水平的限制与实践经验的欠缺，在许多方面必然存在不足，甚至是遗漏与错误，敬请各位老师批评指正。

参考文献

- [1] 刘泉, 陈永泰.通信电子线路(第2版).武汉:武汉理工大学出版社, 2005.10-12
- [2] 沈琪琪, 朱德生.短波通信.西安电子科技大学出版社, 2001.10
- [3] 蔡涛.无线通信原理与应用.电子工业出版社, 1999
- [4] 樊昌信, 张甫翊, 徐炳祥, 吴成柯.通信原理(第4版), 北京:国防工业出版社, 2002.197-200
- [5] 张萧文, 陆兆熊.高频电子线路.北京:高等教育出版社, 1998.146~182
- [6] 方建邦, 董献忱等.锁相环原理及其应用.人民邮电出版社, 1988
- [7] 王子宇, 张肇仪, 徐承和等.射频电路设计——理论与应用.电子工业出版社, 2002.5
- [8] Matthew M. Radmanesh. Radio Frequency and Microwave Electronics Illustrated.电子工业出版社, 2002.8
- [9] Joseph J. Carr. Secrets of RF Circuit Design Third Edition. The McGraw-Hill Companies, Inc.,2001
- [10] Roland E. Best. Phase-Locked Loops Design, Simulation, and Applications. The McGraw-Hill Companies, Inc.,2003
- [11] 白居易.低噪声频率合成.西安交通大学出版社, 1995.5
- [12] 张厥盛, 曹丽娜.锁相与频率合成技术.电子科技大学出版社, 1995.6
- [13] 张冠百.锁相与频率合成.电子工业出版社, 1995.11
- [14] 张玉兴.射频模拟电路.电子工业出版社, 2000.8
- [15] Roland E. Best. Phase-Locked Loops Design, Simulation, and Applications. The McGraw-Hill Companies, Inc.,2003
- [16] Thomas H. Lee. The Design of CMOS Radio-Frequency Integrated Circuits. Stanford University, Cambridge University Press, 1998
- [17] 钱卫华.高线性大动态范围通用接收机研究与实现.电子科技大学硕士学位论文, 2003
- [18] 乐翔, 秦士.直接数字频率合成信号的杂散性能分析[J].清华大学学报(自然科学版), 2000
- [19] 赵宏飞.宽带 DDS 锁相扫频源[D].电子科技大学硕士论文, 2002
- [20] 舒适.56M~806M 宽频带 Double-Conversion 混频器设计.复旦大学硕士论文, 2004
- [21] 屈新建, 常义林.基于 DDS+PLL 频率合成源的设计.现代电子技术, 2005, 3 期(总第 194 期): 115~117
- [22] Analog Devices Inc.A Technical Tutorial on Digital Signal Synthesis.1999
- [23] 童诗白, 华成英.模拟电子技术基础(第三版).北京:高等教育出版社, 2003.446~449
- [24] 李炜.锁相环电路的设计及相位噪声分析:[硕士学位论文].天津:天津大学电子信息工程学院, 2005

- [25] 管致中, 夏恭恪. 信号与线性系统(上册). 北京: 高等教育出版社, 1992. 122~135
- [26] 汤汉屏. 直接数字频率合成杂散抑制方法的研究. 电讯技术, 2002(05): 10~14
- [27] 郭德淳、费元春. DDS 的杂散分析及频率扩展研究, 2002, 1 (1)
- [28] AD9953 Datasheet, Analog Devices Inc., 2003
- [29] AD9834 Datasheet, Analog Devices Inc., 1999
- [30] AD9852 Datasheet, Analog Devices Inc., 2002
- [31] 叶佳. 基于 AD9852 的多功能直接数字信号合成源的研制. 南京航空航天大学电子科学与技术. 中国优秀博硕士学位论文全文数据库. 2005: 22-23.
- [32] 公茂法, 马宝甫, 孙晨. 单片机人机接口实例集[M]. 北京. 北京航空航天大学出版社. 1998: 70-76
- [33] 赵亮, 侯国锐编著. 单片机 C 语言编程与实例[M]. 北京. 人民邮电出版社. 2003
- [34] 胡伟, 季晓衡编著. 单片机 C 程序设计及应用实例[M]. 北京. 人民邮电出版社. 2003
- [35] 杨华舒, 复涛. 单片计算机系统抗干扰的软件途径[J]. 电子技术应用. 2001(3)
- [36] 李炜. 锁相环电路的设计及相位噪声分析:[硕士学位论文]. 天津: 天津大学电子信息工程学院, 2005
- [37] 张玉兴, 彭清泉. 相位舍位对 DDS 谱分布的影响[J]. 电子科技大学学报, 1997, 26(2): 137~42.
- [38] 邱兆坤, 等. 一种新的高分辨率 ADC 有效位数测试方法[J]. 国防科技大学学报, 2004, 26(4): 1~5
- [39] 包迪强, 石振华, 严颂华. DDS 芯片 AD9854 的噪声分析与应用. 武汉大学学报, 2003, 49(3): 401~404
- [40] Lawrence J. Kushner, Marus T. Ainsworth. A spurious reduction technique for high-speed direct digital synthesizers. IEEE Proc. 50th Annual Frequency Control Symposium. 1996
- [41] V F. Kroupa. Spurious Signals in Direct Digital Frequency Synthesizers Due to the Phase Truncation. IEEE International Frequency Control Symposium, 1999
- [42] Chris Diorio, Todd Humes. A Low-Noise, GaAs/AlGaAs, Microwave Frequency-Synthesizer IC. IEEE Journal of Solid-State Circuits, Vol. 33, No. 9, September 1998
- [43] Peter Alfke. Frequency/Phase Comparator for Phase-Locked Loops. Xilinx Application Note.
- [44] [美] Thomas H. Lee. CMOS 射频集成电路设计, (余志平, 周润德等译). 北京: 电子工业出版社, 2004. 382~391

致 谢

饮其流者思其源，学有成时念吾师。衷心感谢我的导师陈永泰副教授。本论文的工作是在陈老师的悉心指导下完成的，导师严谨的治学态度和科学的工作方法给了我极大的帮助和影响，他的博学多识给予我大量的指导，正是在导师的谆谆教导下，我不断克服来自于方方面面的困难，最终较为顺利的完成了毕业设计工作，在此向我的指导老师致以深沉的敬意和诚挚的谢意！

感谢所有教过我的老师。是这些老师们辛勤的耕耘使我收获了丰富的专业知识，业务技能得到锻炼和提高。

感谢实验室一起学习的龚清、程前、陈珺等同学，他们给予了我诸多鼓励和帮助，有了你们生活更精彩，这里表示衷心的感谢！

感谢尊敬的专家在百忙中抽出时间评阅我的论文。

最后，向我攻读研究生阶段给予我关心、支持和帮助的老师、同学和家人表达我最衷心的感谢！

作者在攻读硕士学位期间发表的论文

- [1] 曹新星, 陈永泰. 基于 AD9910 的 DDS 信号源的设计. 中国科技论文在线, 2008.6

作者：[曹新星](#)
学位授予单位：[武汉理工大学](#)

相似文献(6条)

1. 学位论文 [邓志勇](#) 短波接收机本振源及前端电路控制系统的设计与实现 2010

短波通信作为一个适用性非常广泛的技术，已遍布于民用和军事的各个领域。随着各方面技术的不断进步，现代短波通信正在向高速、宽带、强抗干扰能力、智能化、组网等方面发展，用新的技术来改造短波通信设备具有及其重要的意义。特别是软件无线电概念的提出，改变了短波收发信机的结构。本文的研究目的在于构建基于软件无线电的短波通信的通用的硬件平台。文中首先简要介绍了本课题的研究背景和意义，在此基础上给出了短波接收机高频前端的设计框图。本文中的研究内容包括本振源和控制系统两个方面。

结合前端电路的设计要求，分析比较了本振源设计的几种方案，确定了采用直接频率合成的方案来设计本振源。在理论上对直接数字频率合成的的基本原理和输出信号的特性进行了分析，并在QUARTUS的环境下采用VERILOG硬件描述语言设计了DDS的各个分立和顶层模块，用QUARTUS的时序仿真工具对其进行了仿真，仿真结果与设计相符。将设计结果载入到可编程逻辑器件，用示波器和频谱仪等仪器测试和记录了相应的结果，并给出了相应的分析。

短波高频前端预选滤波器部分将短波频段分为8个波段，每个波段的结构相同，都采用变容二极管组成的电调谐器，通过改变加在变容二极管两端的反向电压来改变谐振回路的电容，从而改变谐振频率达到选频的目的。从高频前端控制系统的需求出发，设计了微控制器系统的硬件，并编写了简单的人机界面，实现前端接收电路的通道控制、电调谐、本振源输出信号频率的改变等任务的统一管理。设计和制作了电路板，完成软硬件的调试，给出了测试的结果，性能达到设计要求。

2. 学位论文 [黄彬](#) 中短波接收机RF/IF组件的研制 2009

本文主要针对中短波接收机作了深入的分析和探索性的研究，主要内容有如下几点：

详细论述了接收机的主要指标的定义，以及它们在接收机设计中的重要作用，这些指标包括噪声系数、灵敏度、动态范围、阻塞、镜像抑制、中频抑制等。根据中短波接收机RF/IF组件接收通道实际要求的性能指标进行了方案设计与论证，并对各关键电路提出了具体的指标要求。

详尽介绍了低噪声放大器设计中的各种判定方法和规则，以及设计要点，在此基础上设计了0.5-30MHz的低噪声放大器，并对测试结果与仿真结果进行了比较和分析。

介绍了自动增益控制的原理，使用不同的器件制作了两个自动增益控制放大器，以实现接收机大动态范围的要求。

分析比较了各种频率合成技术的优缺点，重点分析了直接数字式频率合成器的原理、结构、频谱以及特点。并以DDS为核心设计了接收机的细扫本振，该本振具有变频速度快、分辨率高、相噪指标高等特点。

3. 学位论文 [唐静](#) CPLD在短波接收机前端中的应用研究 2007

短波无线电通信是依赖于电离层反射实现的超距离的通信方式之一。无论是在无线电通信发明的早期，还是在现代通信技术飞速发展的今天，它都作为一种极其重要的通信手段，一直扮演主角，并在不断的发展和完善中。它被广泛地应用于政府，军事，外交，气象，商业等部门，用以传送语音，文字，图像，数据等信息。它更是军事指挥的重要手段之一。世界各国近年来加紧了短波通信的研究，出现了各种新型的短波通信系统，而短波接收机前端是短波通信设备中的关键部分。

基于以上原因，本论文对短波接收机前端相关电路进行研究，并运用CPLD芯片通过Quartus II 软件设计短波前端电路中的本振源。

本论文首先对无线电接收机从简单到复杂的过程回顾了接收机的发展历史，对超外差、数字中频和零中频接收机的特性进行了比较。因为它们都需要高度稳定的本振源，所以从介绍频率合成技术的基本原理着手，讨论了DDS、PLL各自的特点和差异，在此基础上选择了DDS+PLL的方案对短波接收机前端的本振及其它相关电路进行设计。因此在紧接着的

第三章中介绍了可编程逻辑器件及其设计软件与其流程。

在第四章中利用CPLD对短波接收机前端的关键电路进行模块化设计，也讨论了仿真、外围电路及其总体设计。

在第五章中进行了频率稳定性的讨论，并对性能指标进行了测量。

本论文主要是实现对短波接收机前端部分重要模块的CPLD设计。因此在第四章中我们讨论了CPLD的设计过程，对每项设计给出了详细的电路，重要模块给出了仿真。结合Quartus II 给出了设计过程，并编译成功。

初步的设计结果达到了预期目标，为将来进一步的深入研究打下了基础。

4. 学位论文 [邓江](#) 远距离导航短波接收机射频前端的设计与实现 2006

短波通信是指利用波长为10-100m(频率为3-30MHz)的电磁波进行无线电通信的。实际上，许多人也把中波的高频段(1.5-3MHz)归到短波波段去，所以现有的许多短波通信设备，其波段往往扩展到1.5-20MHz。短波通信多年来被广泛应用于政府，军事，外交，气象，商业等领域，用以传送语音，文字，图像，数据等信息，尤其在军事部门，它始终是军事指挥的重要手段之一。短波通信之所以能吸引用户用它传递信息，最基本的原因是由于进行远距离通信时，仅需要不大的发射功率和适中的设备费用，这一宝贵的优点，使得世界各国近年来加紧了短波通信的研究，出现了各种新型的短波通信系统。

本项目来源于电子科技大学成都赛英科技有限公司与哈尔滨工程大学自动化学院的合作项目“远距离导航短波接收机”，笔者负责其中接收机射频部分的研制，该射频接收机包括一个射频前端和3个DDS频率合成器。系统采用了两次变频超外差式结构设计，第一中频为高中频。另外系统还包含了三级自动增益控制单元，其中一级AGC作为选项，实现了较大的动态范围，并且整机的线性度也得到了保证。

本文先介绍了当代无线电导航的状况以及发展趋势和无线电的传播，然后对接收机射频前端的关键技术指标进行了深入分析，还介绍了系统在大动态范围、高线性实现的一些设计方法，之后详述了本项目采用的方案、具体功能指标的实现以及在设计与实现中应该注意的问题，最后给出系统的测试结果。

5. 会议论文 [张学忠](#) 超短波接收机 1997

该文简要介绍了20~1100MHz频段接收机的特点，采用的研制方案，以及目前该机达到的技术水平，并提出今后的改进意见。

6. 学位论文 [陈国宇](#) 大动态范围宽带接收机射频前端设计与实现 2007

近年来通信技术获得了惊人的发展，而无线电通信技术是其中发展最为迅速的一个分支，今天无线通信技术已经广泛应用到人们生活中的各个领域。其中，短波接收技术具有很高的研究与开发价值。

课题来源于本学院“宽带短波接收机”项目，笔者负责其中接收机射频前端部分的研制。本次设计采用超外差二次变频的体系结构，结合数字频率合成技术，实现了大动态范围宽带接收机射频前端项目指标要求。该接收机射频前端设计过程中所涉及到的技术，具有一定的创新和独到之处。

本文以接收机射频前端作为研究重点，在参考大量国内外有关射频前端设计文献的基础上，从理论上探讨和研究短波接收机的基本原理并结合滤波器设计技术、自动增益控制技术、数字频率合成技术等关键技术，探讨了大动态范围宽带接收机射频前端的设计与实现。

本文对宽带接收机的关键技术指标进行了深入分析，然后介绍了系统在大动态范围、高线性条件下的一些设计方法，并详述了本课题采用的方案、具体性能指标的实现以及在设计中应该注意的问题。测试结果表明本次设计最终实现了系统所要求的动态范围，并且使接收机的性能指标得到保证。

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1474600.aspx

授权使用: 北京服装学院(bjzxy), 授权号: 40bed4c3-3fd5-476c-9b7e-9e72011eb8ae

下载时间: 2011年1月21日